

Sub-50 nm 世代 ULSI 用
高性能 CMOS デバイス微細化技術の研究

Study on High performance CMOS Device Technology
for sub-50 nm generation ULSI

2006 年 10 月

稲葉 聡

Satoshi Inaba

目 次

第 1 章 序 論	1
1.1 第 1 章の概要	1
1.2 はじめに	2
1.3 CMOS デバイスの微細化とそれを阻害する要因について	3
1.4 本論文の目的	11
1.5 本論文の構成	11
第 1 章の参考文献	14
第 2 章 0.1 μm CMOS デバイスの室温動作実証と性能解析	15
2.1 第 2 章の概要	15
2.2 0.10 μm CMOS デバイスの構造	16
2.3 0.10 μm CMOS デバイスの静特性	19
2.4 0.10 μm CMOS デバイスのゲート遅延時間評価	23
2.5 0.10 μm CMOS デバイスの消費電力	29
2.6 スケーリングされた 0.10 μm CMOS のゲート遅延時間の予測	31
2.7 第 2 章のまとめ	33
2.8 Appendix (ゲート抵抗を分布定数とした時の遅延時間)	34
第 2 章の参考文献	39
第 3 章 浅いトレンチ素子分離技術(STI)における トレンチ側面部の界面準位密度評価方法とその応用	41
3.1 第 3 章の概要	41
3.2 本研究の背景	42
3.3 STI 構造のトレンチ側面における接合リーク電流の増大	44
3.4 MOS 構造の界面準位密度の測定 (パラレルコンダクタンス法、 C - V 法)	46
3.5 STI 構造のトレンチ側面における界面準位密度の測定	52
3.6 水素パッシベーションによる接合リーク電流低減の試み	58
3.7 第 3 章のまとめ	63
3.8 Appendix	64
第 3 章の参考文献	66

第4章	sub-0.25 μm pFET における浅いソース／ドレイン エクステンション領域の寄生抵抗改善	67
4.1	第4章の概要	67
4.2	本研究の背景	68
4.3	ゲート側壁形成プロセスと S/D エクステンション部の寄生抵抗	70
4.4	水素パッシベーションによるボロンの不活性化	75
4.5	ゲルマニウムプリアモルファス化によるボロン不活性化の改善	78
4.6	ゲルマニウムによる基板プリアモルファス化を用いた0.15 μ m pFETの試作	83
4.6.1	試作工程フロー詳細について	83
4.6.2	ゲルマニウムプリアモルファス化条件の最適化	85
4.6.3	短チャネル効果抑制と電流駆動力の改善	86
4.7	ソース・ドレイン領域の浅い接合形成に関する今後の展望	90
4.8	第4章のまとめ	92
	第4章の参考文献	93
第5章	ゲート長 35 nm の高性能 CMOS デバイスの試作と評価	96
5.1	第5章の概要	96
5.2	本研究の背景	97
5.3	35 nm CMOS デバイス試作上のキーポイント	98
5.4	チャネルと Halo 領域の不純物濃度プロファイル設計	99
5.5	一酸化窒素ガスを用いたシリコンオキシナイトライドゲート絶縁膜の形成	103
5.6	MOL 工程における熱工程履歴の影響	106
5.7	35 nm CMOS デバイスの DC 特性	108
5.8	第5章のまとめ	112
	第5章の参考文献	113
第6章	論理回路のスイッチング高速化に適する Silicon on Depletion Layer MOSFET (SODEL FET) の提案	115
6.1	第6章の概要	115
6.2	本研究の背景	116
6.3	SODEL FET のデバイス構造	118
6.4	SODEL FET の試作工程フロー	121
6.5	SODEL FET において特徴的な電気特性	124
6.6	試作した SODEL FET の DC 特性	128
6.7	SODEL FET における AC 特性の改善	134
6.8	第6章のまとめ	139
	第6章の参考文献	140

第7章 SODEL CMOS デバイスの論理回路、及び SRAM 回路への応用	142
7.1 第7章の概要	142
7.2 本研究の背景	143
7.3 デバイス構造、並びに DC 特性	144
7.4 SODEL CMOS インバーターのスイッチング特性	147
7.5 SODEL CMOS デバイスのスタティック、及びダイナミック回路への適用	151
7.6 SODEL FET の SRAM 試作ならびに動作特性	154
7.7 第7章のまとめ	159
第7章の参考文献	160
 第8章 結 論	 161
第8章の参考文献	167
 謝 辞	 169
 研究業績	 171

第 1 章 序論

1.1 第 1 章の概要

シリコンを材料とする LSI (Large Scale Integrated circuit: 大規模集積回路、または Large Scale Integration: 大規模集積化の略) は今日、ありとあらゆる局面で使われるまでに発展した。たとえばコンピューター、家電製品、自動車など、もはや我々の生活と切り離して考えることができないものに組み込まれて用いられている。それらの高性能化は主として素子構造の微細化の工夫によって達成されてきており、今後も ULSI (Ultra-Large Scale Integration: 超大規模集積回路) としてそれが継続されると期待されている。

この章においてはシリコンを材料とする ULSI の主要な構成要素である MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor)、ならびに CMOS (Complementary MOS) デバイスの微細化に関する課題を概説し、本論文の主題を明らかにする。

1.2 はじめに

大規模集積回路（LSI）はシリコン基板上に微細加工技術を用いて各種の回路を作りこんだものである。今日ではありとあらゆる局面でそれが使われるまでに発展した。たとえばスーパーコンピュータ、パーソナルコンピュータ、携帯電話、家電製品、自動車など、もはや我々の生活と切り離して考えることができない製品に組み込まれており、それらは年々高性能化されている。2006 年現在では 90 nm technology node と呼ばれる世代の製品が既に市場に大量出荷され、さらに 65 nm node の製品出荷が準備されている。

このような状況に鑑み、本論文は「sub-50 nm 世代 ULSI 用高性能 CMOS デバイス微細化技術の研究」と題して、シリコンを材料とする超大規模集積回路（ULSI）の構成要素である CMOS デバイスの微細化ならびに高性能化に関し、それらの問題点となる原因の解明とその解決手段の一考を論ずる。さらに本研究で得られた知見をもとに新構造 CMOS デバイスの提案を行い、将来の超高速・低消費電力 ULSI 実現への指針を提示する。

本章では各章における議論の基礎になる MOSFET、および CMOS デバイスの構造、動作原理、さらにそれらの高性能化に対する問題点などを概説する。

1.3 CMOS デバイスの微細化とそれを阻害する要因について

MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)のデバイス構造の概念は 1960 年に最初に報告された [1.1]。MOSFET の構造を図 1.1 に示す。MOSFET では基本的に Metal-Oxide-Semiconductor 構造のキャパシタが構成され、そこに形成される反転層に生じたキャリアに対して横方向の電界をソース/ドレイン電極間に印加して電流を引き出す。初期の MOSFET では Al などの金属をゲート電極材料として用いたが、現在は金属ゲート電極に代わって非常に高濃度に不純物をドーピングした poly-crystalline silicon (poly-Si; ポリシリコン)を使う場合が最も多い。研究開発の最先端の MOSFET ではゲート電極空乏化を抑制するため、再度金属ゲート電極の使用が検討されている。

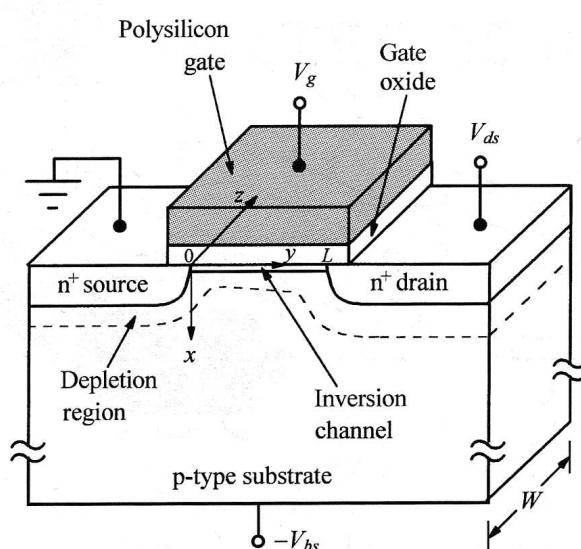


図 1.1 MOSFET の構成要素を説明する断面図[1.2]

CMOS デバイスは電子を電流のキャリアとする n-MOSFET (以下 nFET と略す) とホールをキャリアとする p-MOSFET (以下 pFET と略す) の組み合わせからなるインバータ (Inverter) が基本構成要素の論理回路素子である。これは 1963 年に最初のアイデアが出された [1.3]。図 1.2 に基本的な CMOS デバイスの構成を示す。ここでは図示していないが、CMOS デバイスにおける nFET のソース電極はグラウンド電位 (V_{ss}) に、pFET のソース電極は電源電圧 (V_{dd}) に接続され、また nFET と pFET のドレイン電極同士は同電位になるように金属配線やポリシリコン配線などで接続される。また複数個の nFET と pFET を組み合わせて NOR ゲートや NAND ゲートを構成し、さらに複雑な論理回路を構築できる。

CMOS デバイスの最大のメリットは、論理回路の動作時間の大部分において nFET もしくは pFET どちらかが off 状態にあるため、電源線とグラウンド線の間に直接流れる貫通電流が少ないことにある。したがって他のデバイス (たとえば Bipolar Transistor) の論理回路に比較して低消費電力化が図れるという利点があり、LSI においては高集積度の回路素子として CMOS デバイスの適用が必須になる。

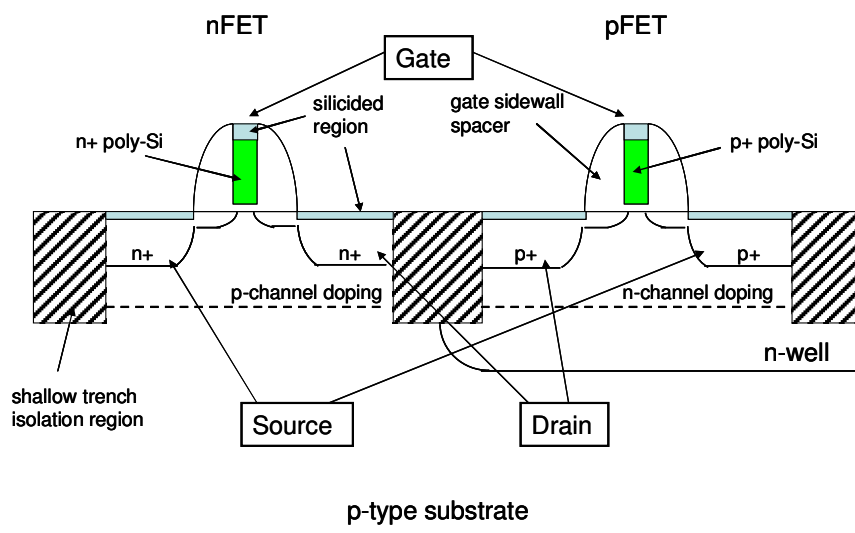


図 1.2 基本的な CMOS デバイスの断面図

nFET と pFET のドレイン電極同士は金属配線などで接続される。

CMOS デバイスを構成する MOSFET のドレイン電流はゲート長 L に反比例する。また消費電力を低減するために動作電圧を世代ごとに低下させる必要があり、その拘束条件下で高いドレイン電流を得るためにはゲート長 L の微細化が必須である。(後述の(1.1)式参照)

図 1.3 に ITRS (International Technology Roadmap for Semiconductor)における MPU 向け LSI の CMOS デバイスのゲート長の微細化予測の変遷を示した[1.4]。ITRS は最近では 2 年に一回大幅な改訂が行われていて、そのつど技術の進歩によりゲート長予測値が小さい方向にシフトする。

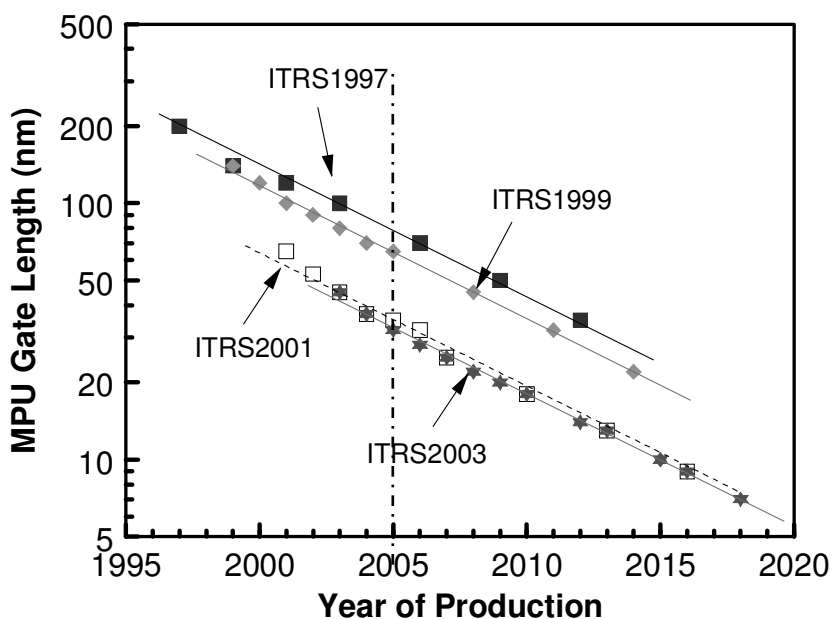


図 1.3 ITRS にみる MPU 向け LSI 用 MOSFET のゲート長微細化の予測の変遷[1.4]

横軸の年度は LSI の生産開始予測時期を示している。

図 1.3 において、たとえば同じ 2005 年に生産開始される LSI の場合で比較すると、ゲート長は 1997 年度の予測では 80 nm 程度、2003 年度の予測では 35 nm 程度となる。ゲート長予測値が時間とともに短縮されているのは予想以上に MOSFET の微細化技術が進んでいる結果である。しかしながらどの場合でも 3 年で前世代のゲート長の約 70% にまで微細化されるトレンドを想定して線を引いている。ゲート長の微細化によりド레인電流駆動力を高性能化するだけでなく、同じ面積に多数個のトランジスタを配置可能になり、より高機能な LSI をチップ作製コストを抑制しながら提供できる。

長チャネル領域（たとえば $L \gg 1.0 \mu\text{m}$ ）で、かつド레인電圧がゲート電圧に対して十分小さな領域では MOSFET のド레인電流 I_d をしきい電圧(Threshold voltage) V_t 、実効キャリア移動度 μ_{eff} 、チャネル幅 W 、ゲート長 L などを用いて近似的に以下の(1.1)式で表せる[1.2]。ここで MOSFET のしきい電圧（もしくはしきい値） V_t とはド레인電流が Off 状態から On 状態になるゲート電圧値を指しており、(1.1)式では $V_g \gg V_t$ と仮定した。また m は基板バイアス係数と呼ばれ、ゲート電極に対して電圧印加時のゲート空乏層の最大幅で決まる容量 C_{dm} とゲート絶縁膜容量 C_{ox} の比で決定される。

$$I_d = \mu_{eff} C_{ox} \frac{W}{L} \left\{ (V_g - V_t) V_d - \frac{m}{2} V_d^2 \right\}, \quad m = 1 + \frac{C_{dm}}{C_{ox}} \quad (1.1)$$

この時の電流－電圧特性は真空管の 3 極管特性と類似することから、このようなド레인電圧の低い領域を 3 極管領域、もしくは線形領域 (Linear region) と呼ぶ。

ド레인電圧を増大させると、(1.1)式はド레인電圧に関しては 2 次式なので最大値を持つことになる。その時の最大値（飽和電流 I_{dsat} という）は次式で表される。

$$I_d = I_{dsat} = \mu_{eff} C_{ox} \frac{W}{L} \frac{(V_g - V_t)^2}{2m} \quad (1.2)$$

このようなド레인電圧の大きな領域を 5 極管領域、もしくは飽和領域 (Saturation region) といい、これは(1.2)式のド레인電流特性が真空管の 5 極管特性と同様であることに由来する。

さらにチャネル長が短くなると同じド레인電圧でもキャリアに印加される横方向電界が増大する。しかし実験的にはド레인電圧を増大させてもキャリアは無限に加速されるのではなく、キャリア速度が飽和することが見出された。キャリアの速度と電界との関係はたとえば次式の様に表される[1.2]。

$$v = \frac{\mu_{eff} E}{\left[1 + \left(\frac{E}{E_c} \right)^n \right]^{1/n}} \quad (1.3)$$

ここで E は横方向電界、 E_c は臨界電界 (Critical field) と呼ばれる。指数 n は電子の場合 $n=2$ 、ホールの場合 $n=1$ になることがわかっている。これによると低電界領域では $v = \mu_{eff} E$ となりオームの法

則に従うが高電界領域では $v = \mu_{eff} E_C$ という速度飽和がおきることになる。この時のキャリア速度を飽和速度(saturation velocity) v_{sat} という。

速度飽和が起きた場合の 5 極管領域における電流特性は $n = 1$ の場合は解析的に求められており、以下の式で示される[1.2]。速度飽和が起きると(1.2)式で示された電流値よりも小さな値にしかない。

$$I_d = I_{dsat} = C_{ox} W v_{sat} (V_g - V_t) \frac{\sqrt{1 + 2\mu_{eff} (V_g - V_t) / m v_{sat} L} - 1}{\sqrt{1 + 2\mu_{eff} (V_g - V_t) / m v_{sat} L} + 1} \quad (1.4)$$

$L=0$ の短チャネル領域の極限では

$$I_d = I_{dsat} = C_{ox} W v_{sat} (V_g - V_t) \quad (1.5)$$

となり、ドレイン電流は $(V_g - V_t)$ の 1 次式で表される。この極限になるべく近い状態で動作させるのがドレイン電流効率が良いことになるので、ゲート長 L の短縮が求められる。

ドレイン電流を増大するためにゲート長 L の縮小が重要である一方で、MOSFET のしきい電圧 V_t はゲート長が短くなると長チャネル領域でのしきい値よりも小さくなり、いわゆる短チャネル効果を引き起こす。(典型例は図 1.4 の V_t roll-off である。) 短チャネル効果により V_t が低下するとドレインリーク電流 I_{off} を増大させ、結果的に待機時の消費電力を増大させる不都合が生じる (後述) [1.2]。

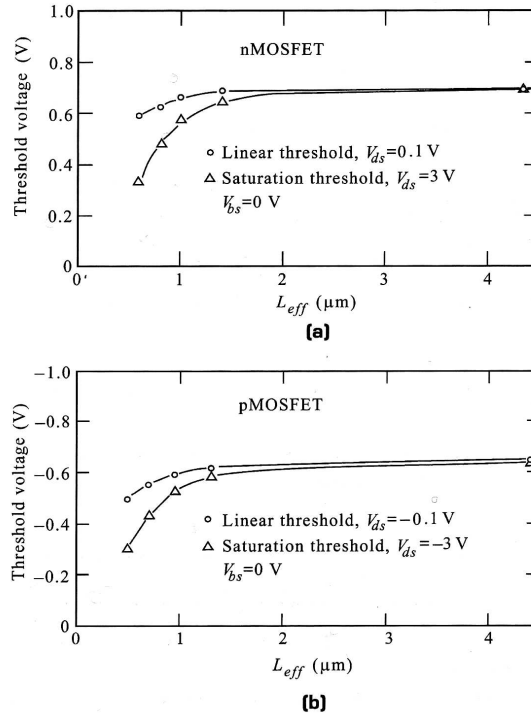


図 1.4 典型的な MOSFET の短チャネル効果の例 (V_t roll-off) [1.2]

ここではゲート長はソース／ドレイン間の実効的な距離である L_{eff} で示されている。しきい値 V_t はドレイン電圧の関数でもあり、ここでは 3 極管領域でのしきい値 (Linear threshold) と 5 極管領域でのしきい値 (Saturation threshold) のそれぞれの場合について示されている。5 極管動作領域の方が短チャネル効果が大きいことに注意を要する。

短チャネル効果はドレイン電極側から p-n 接合をまたいで基板中に伸びる空乏層がソース電極側の空乏層に接近してパンチスルーが起きやすくなる現象である。その結果 MOSFET のカットオフ特性の劣化を引き起こす。近似的に短チャネル領域におけるしきい電圧変化量のゲート長依存性は以下の(1.2)式で表される[1.2]。ここで m は前述の基板バイアス係数を示し、 ψ_{bi} はソース／基板間、もしくはドレイン／基板間の p-n 接合における built-in potential を示す。

$$\Delta V_t = 8(m-1)\sqrt{\psi_{bi}(\psi_{bi} + V_d)}e^{-\pi L / 2mW_{dm}} \quad (1.6)$$

しきい値電圧よりも小さいゲート電圧領域をサブスレッショルド (subthreshold) 領域と呼び、この場合はドレイン電流は以下の式で記述される。これは(1.1)式の $V_g \gg V_t$ でキャリアの電界によるドリフ

トで電流が決まる場合と異なり、ドレイン電流が主としてキャリアの拡散によって決まるためである[1.2]。 k_B はボルツマン定数である。

$$I_d = \mu_{eff} C_{ox} \frac{W}{L} (m-1) \left(\frac{k_B T}{q} \right)^2 e^{q(V_g - V_t)/mk_B T} (1 - e^{-qV_d/k_B T}) \quad (1.7)$$

オフリーク電流 I_{off} ($=I_d(V_g=0)$) は V_t と強い相関を持ち、 V_t が小さくなると I_{off} は指数関数的に増大する。これは LSI においては回路動作スタンバイ時のリーク電流増大につながり、ひいては消費電力の増大をもたらすことになる。つまり L を微細化したときは短チャネル効果の抑制が非常に重要となる。

サブスレッショルド領域 ($V_g < V_t$ の領域) ではドレイン電流を 1 桁変動させるのに必要なゲート電圧変化量として S -factor (inverse subthreshold slope) を定義する。これは次式で示され、通常は 70 mV/decade から 120 mV/decade 程度の値を示す。小さいほどドレイン電流のカットオフ特性が良いことを表す。

$$S = \left(\frac{d(\log_{10} I_d)}{dV_g} \right)^{-1} = 2.3 \frac{k_B T}{q} \left(1 + \frac{C_{dm}}{C_{ox}} \right) \quad (1.8)$$

この「短チャネル効果を抑制しながら MOSFET を微細化する」という命題の実現を一般に MOSFET のスケーリングと言うが、いくつか提案されたスケーリング方法の中でもっとも現状に近いのが Dennard によって提案された constant-field scaling 則 (定電界スケーリング則) である[1.5] (図 1.5 参照)。これによれば、(1.2) 式中の最大空乏層幅 W_{dm} を制御するためにいくつかの工夫がなされた。

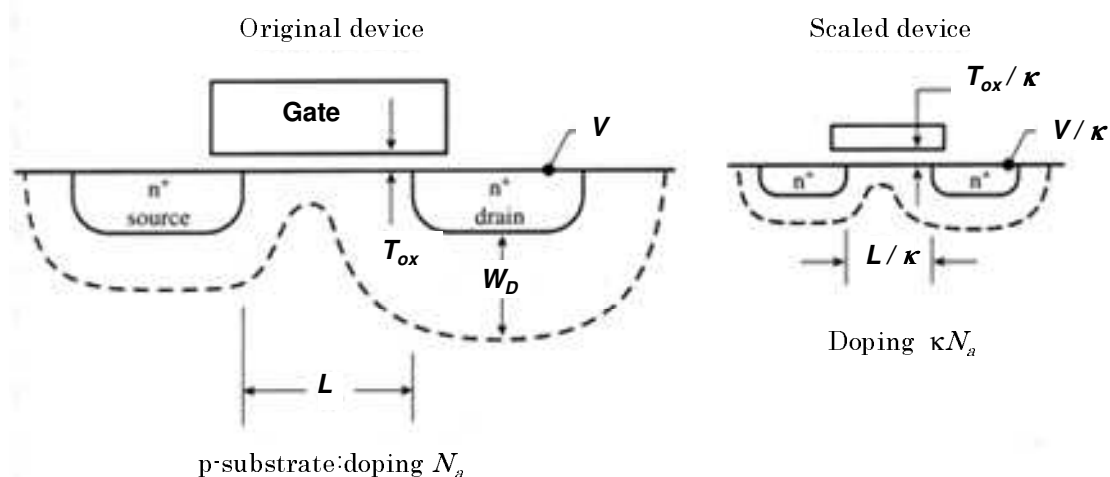


図 1.5 Dennard による constant-field scaling[1.5]

動作電圧 V を下げるとともに基板濃度を高くし、接合深さを浅くすること、さらに T_{ox} を小さくすることでゲート長 L を縮小した際の短チャネル効果の抑制を図った。

具体的なスケールリング手法としては、サイズが小さくなってもデバイス内部の電界が一定になるように電圧を低下させるのと同時に、チャネル中の不純物濃度を増大させ、ソース/ドレイン電極の接合深さを浅くし、かつゲート絶縁膜の厚さもスケールリングして対応する。これを定電界スケールリング (Constant Field Scaling) という。このスケールリング方法の有効性は Brews の経験則[1.6]などによって確認された。ただし、短チャネル効果抑制手段としてこの定電界スケールリングの施策を取るとその他の MOSFET 特性にも影響を及ぼす。図 1.6 にそれらの影響を簡単にまとめた。

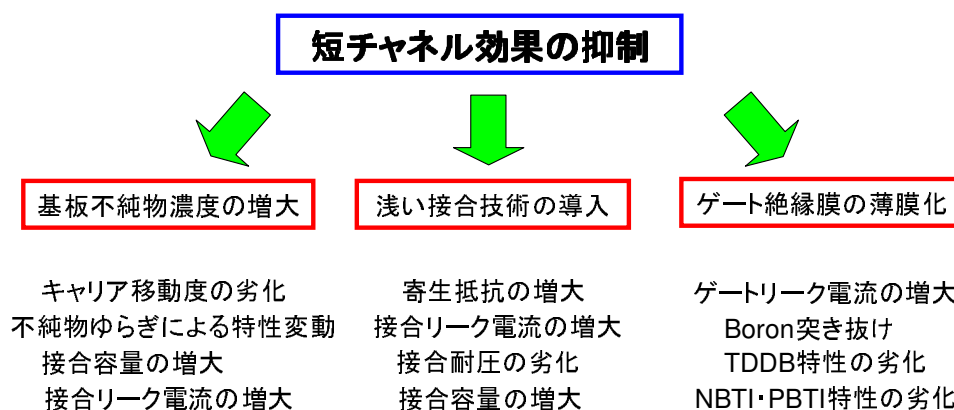


図 1.6 : MOSFET の短チャネル効果の抑制とそれに伴う MOSFET の特性変動

基板不純物濃度を高め、浅い接合と薄膜ゲート絶縁膜を使うと短チャネル効果は抑制されるが、その他の不利益をもたらす。

たとえばソース・ドレイン領域における空乏層の伸びを抑制するために、浅い接合深さを持つソース/ドレイン電極を形成しようとする、その不純物には単位体積当たりの活性化濃度限界が存在するため、浅い分必然的に不純物拡散層の抵抗が高くなる。これにより電流駆動力が劣化する（第 4 章で議論）。

また高い不純物濃度領域同士が接触して p-n 接合が形成されるので、ソース/ドレイン電極と基板間の空乏層幅が小さくなる。これにより特にドレイン電極側の容量が大きくなり、余計な充放電が要求されるので CMOS デバイスのスイッチング動作に悪影響を及ぼす（第 2 章、第 6 章、第 7 章で議論）。

さらにゲート絶縁膜の薄膜化は主としてキャリアの直接トンネリングを引き起こして、ゲート電極・基板間におけるゲートリーク電流の増大を招く（第 5 章で議論）。

その他にもデバイスの面積を縮小するために新しい素子分離方法の導入などが必要で、かつそれに起因するコンタクト抵抗の上昇なども最小限に抑制されなければならない（第 2 章、第 3 章、第 5 章で議論）。

特に寄生効果はゲート長が微細化されるとより顕著に現われ、デバイスの高性能化を阻害する大きな要因となる。したがってこれらの阻害要因を可能な限り排除し、MOSFET の微細化を実現するデバイス技術が導入される必要がある。

1.4 本論文の目的

本論文ではシリコンを材料とした超大規模集積回路（ULSI）の構成要素として用いられる CMOS デバイスの微細化ならびに高性能化に関し、その問題点となる原因の解明とそれらに対する解決手段の一考に言及する。特に sub-50 nm 世代 ULSI 向けの高性能 CMOS デバイス微細化技術を主題とする。

また本研究で得られた知見を基に新構造 CMOS デバイスの提案を行い、将来の超高速・低消費電力 ULSI 実現に向けた指針の提示を目的とする。

1.5 本論文の構成

本論文の以下の部分は次のような構成である。

第 2 章は「0.10 μm CMOS デバイスの室温動作実証と性能解析」と題し、既存技術を出来る限り用いた上でチタン（Titanium:Ti）のシリサイド技術を適用した 0.10 μm CMOS を作製し、そのデバイス特性を議論する。

本章で述べる研究の動機は室温動作の 0.10 μm CMOS デバイスが 1990 年時点の技術で実現可能かどうかを検討する点にある。特に planar 型 MOSFET で CMOS デバイス微細化がどこまで達成できるかの判定基準を得ると同時に、既存技術に加えてさらに将来必要とされる技術項目を明確化する。この研究により実際の素子試作、評価を通じて室温で動作する 0.10 μm CMOS の室温動作を実証し、微細化による高性能化のメリットが $L=0.10 \mu\text{m}$ まで維持できることを明らかにした。またこれらの素子において、CMOS インバーター 1 段あたりのゲート遅延時間は 1991 年までにおける世界最高速の 27 ps / stage (@2.5 V) を記録し、高速スイッチング特性を得た。それらと同時に 0.1 μm クラスの CMOS デバイス高速化における寄生効果抑制の重要性を実験で確認した。さらに将来の 0.10 μm ground rule CMOS デバイスのスイッチング特性を回路シミュレーションで予測し、特にコンタクト抵抗に関して将来必要とされるスペックを議論する。

第 3 章は「浅いトレンチ素子分離技術（Shallow Trench Isolation: STI）におけるトレンチ側面部の界面準位密度評価方法とその応用」と題し、CMOS デバイスの微細化に必要なトレンチ素子分離技術における問題点、特に接合リーク電流増大とトレンチ側面部の界面準位密度との関連を議論する。

CMOS デバイスを微細化する上では微細な電氣的不活性な領域を介して素子と素子を分離する技術（素子分離技術）が必須で、従来から種々の提案がなされてきた。STI はそれらの中でも有力な候補である。しかしながら研究開発初期においては STI を形成した MOSFET において、特に周辺長の長い n^+/p 型のダイオードで大きな接合リーク電流が見られていた。この現象は実際の LSI への適用を考慮すると回路待機時の消費電力増大が懸念され問題となっていた。本章では STI の側壁部のシリコン-絶縁膜界面における界面準位密度 (Interface State Density: D_{it}) を評価する手法を提案する。その測定方法を新規に設計・作製したテストストラクチャーに適用して測定したところ、STI のトレンチ側面部において界面準位密度 D_{it} が $\sim 5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度であることが初めてわかった。これは通常の planar 型の MOS 界面における値よりも 1 桁程度大きく、p-n 接合のリーク電流に悪影響を及ぼす懸念があると判明した。さらにその試料に対して界面準位を水素終端すると 1 桁程度の接合リーク電流低減が実現され、同時に界面準位密度の低減も確認した。したがって実際に STI における接合リーク電流を低減する手段として本

章で議論した評価方法ならびに対策が有用であると結論づけた。

第 4 章は「sub-0.25 μm pFET における浅いソース／ドレイン エクステンション領域の寄生抵抗改善」と題し、特に pFET に関する低抵抗ソース／ドレイン電極の形成方法について言及する。

従来ソース／ドレイン電極構造としては、LDD(Lightly Doped Drain)構造を発展させた低加速エネルギーイオン注入やゲート側壁スペーサーからの不純物の固層拡散による極浅い p^+/n 接合を用いていた。ただしこれらの方法ではソース／ドレイン電極部の寄生抵抗増大により電流駆動力が阻害される欠点も知られていた。したがって将来にわたって素子のスケールリングメリットを維持するためには、この寄生抵抗自体も世代とともに改善する必要がある。本章では浅い $p-n$ 接合形成手段の主流である低加速イオン注入技術を用いた極微細 MOSFET 形成プロセスの指針を得るのと同時に、特に pFET における寄生抵抗増大の原因を追求する。

さらにその解決策の一端としてゲルマニウム (Germanium、以下 Ge) を用いたシリコン基板のプリアモルファス化を CMOS プロセスへ適用し、浅い p^+ 領域の低抵抗化を提案する。特に 0.15 μm CMOS を試作し、pFET に関してソース／ドレイン エクステンション部の不純物濃度を従来の LDD 構造よりも増大しながら (peak 濃度 $\sim 10^{20} \text{ cm}^{-3}$)、Ge のプリアモルファス化を併用して低抵抗で浅い $p-n$ 接合の形成を試みた。その結果、ゲート長 0.15 μm までの pFET において、短チャネル効果を抑制しながら同時に寄生抵抗を大幅に低減でき、Ge プリアモルファス化と BF_2 低加速イオン注入との組み合わせで所望の接合特性が形成可能であると確認した。特に本章では短チャネル効果や接合リーク電流特性を中心とした pFET の電気的特性について主として寄生抵抗の観点から議論する。

第 5 章は「ゲート長 35 nm の高性能 CMOS デバイスの試作と評価」と題し、ニッケル (Nickel、以下 Ni) を材料とするシリサイドをソース／ドレイン／ゲートの各電極に適用した新規シリサイド技術と、極薄の窒化酸化膜によるゲート絶縁膜を適用した極微細 CMOS デバイスの設計、試作並びに動作解析に関して議論する。

ここではゲート絶縁膜のオキシナイトライド (SiON) の厚さを EOT (Equivalent Oxide Thickness) で 1.2 nm 程度まで薄膜化し、その中の窒素濃度プロファイルはゲートリーク電流 I_g と pFET におけるボロン (Boron、以下 B) のチャネル領域への突き抜けを防止するという観点から最適化した。

また Middle of the Line (MOL: ゲートスタック形成からコンタクト領域形成までのデバイス作製工程を指す) における熱工程 (加熱処理を伴う工程) をできる限り削減して、ソース／ドレイン エクステンション部の接合深さ x_j を浅く保ち、ゲートポリシリコンの空乏化抑制を試みた。それらの注意深い最適化の結果、トランジスタの電流駆動力として nFET で $676 \mu\text{A} / \mu\text{m}$ 、pFET で $272 \mu\text{A} / \mu\text{m}$ (どちらも $|V_{dd}| = 0.85 \text{ V}$ 、かつ $I_{off} = 100 \text{ nA} / \mu\text{m}$) が達成された。これは同じ駆動電圧の I_{off} が一定という条件下で比較すると、試作時点で学会等で報告されていた同世代の CMOS デバイスよりも大きな電流駆動力を実現した。すなわちこの世代の CMOS デバイスの高性能化には従来考慮されなかった構造や試作条件に着目した最適化が必要であると結論づけられる。

第 6 章は「論理回路のスイッチング高速化に適する Silicon on Depletion Layer MOSFET (SODEL FET) の提案」と題し、従来の bulk シリコン基板をベースに作られる CMOS デバイスと SOI (Silicon on Insulator) 基板を用いて作られる SOI CMOS デバイスの特徴を兼ね備える新規 CMOS デバイスを提案し、実験的に検証する。

このデバイスの特徴はチャネル領域の不純物層を p/n/p-type の 3 層構造にし、かつ真中の n 層が p-n 接合の built-in potential で常に空乏化するような不純物プロファイルを形成して、それに SOI デバイスにおける BOX 層と同様な役割を持たせる点にある。これによりチャネル部と基板部は電氣的に分離されるため、CMOS デバイスの動作に対する基板電位の影響を小さくできる。この SODEL FET においては回路動作の高速スイッチングが期待されると同時に、そのようなスイッチング性能を達成するための高価な SOI 基板を必ずしも使う必要がなく、また従来の bulk CMOS デバイスとのプロセス、または回路設計上の整合性も保てる。本章では主として DC 特性に着目してこの新規 MOSFET 構造の有効性を最初にプロセス・デバイスシミュレーションを用いて確認した。さらに nFET と pFET をそれぞれ実際に試作して所望のデバイス動作が実現されることを示す。

第 7 章は「SODEL CMOS デバイスの論理回路、及び SRAM 回路への応用」と題し、前章で議論された SODEL FET を CMOS 論理回路、並びに SRAM(Static Random Access Memory)回路に適用した結果を議論する。

ここでは第 6 章で議論した SODEL FET をさらに改良し、短チャネル効果を抑制しながら従来の SODEL FET の特徴を維持することを試みる。次にその素子を用いて種々の論理回路動作に対するインパクトを実験とシミュレーションで検証する。実際に SODEL CMOS デバイスでは寄生容量低減や、Body-effect^(脚注)の低減が実現されており、従来型の bulk CMOS デバイスよりもスイッチング速度が大きく、またその高速性を生かした低消費電力化が可能であることを実験的に明らかにする。またこの SODEL CMOS によって試作した SRAM の回路動作も実験とシミュレーションを併用して実証し、SODEL CMOS デバイスの LSI への適用可能性を実証する。

第 8 章は「結論」であり、本論文を通じて各章で議論された内容を整理し、将来の展望を述べてまとめとする。

(脚注) Body-effect : 直列に接続された 2 つ以上の FET において基板部が全て接続されている場合に、最初の一つを除いた各 FET のソース電位が基板電位よりも高くなるため、基板バイアス効果により実効的な電流駆動力が減少すること

第 1 章の参考文献

- [1.1] D. Kahng and M. M. Atalla: "Silicon dioxide field surface devices," Device Research Conference, Pittsburgh, (1960)
- [1.2] Y. Taur and T. H. Ning: "Fundamentals of Modern VLSI Devices" ,Cambridge Univ. Press, (1998), Chap. 3 & Chap. 4.
- [1.3] F. Wanlass and C. T. Sah: "Nanowatt logic usion field-effect metal-oxide-semiconductor triodes," ***IEEE Internatioal Solid-State Circuit Conf.***, pp. 32-33, (1963)
- [1.4] International Technology Roadmap for Semiconductor (ITRS): これは 2 年毎に最新版に更新される。最新版は <http://WWW.ITRS.com> 参照。
- [1.5] R.H. Dennard, F. H. Haensslen, H. N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc:"Design of ion-implanted MOSFETs with very small physical dimensions," ***IEEE J. Solid-State Circuits***, SC-9, p. 256, (1974)
- [1.6] J. R. Brews: "Silicon Integrated Circuits", Academic Press NY, (1981), Chap. 1

第 2 章 0.1 μm CMOS デバイスの室温動作実証と性能解析

2.1 第 2 章の概要

シリコンを材料とする CMOS デバイスの微細化は、近年著しい発展を遂げている。特に MOSFET に関しては 1987 年にゲート長 0.1 μm 以下の n 型チャネルの MOSFET が動作確認されたのをはじめとして、1991 年には既に数件のゲート長 0.1 μm レベルの MOSFET の報告がなされた[2.1][2.2]。

しかしこれらは nMOSFET（以下 nFET と略す）のみでかつ低温動作下での検討が主で、室温動作時にはしきい値やカットオフ特性の面で必ずしも満足できる水準に達していなかった。さらに高密度の ULSI で低消費電力と高速動作を両立するためには、nFET だけでなく、pMOSFET（以下 pFET と略す）も含めて CMOS デバイスとしての微細化が達成されなければならないことは明らかである。

本章で述べる研究の動機はゲート長 0.10 μm 級 CMOS デバイスの実現可能性の追求にあった。特に室温動作前提で planar 型 MOSFET で CMOS デバイス微細化がどこまで達成できるかの判定基準を得ること、ならびに既存技術に対してさらに必要な技術項目を明確化する目的で実際に CMOS 素子を作製し各種の評価を行った[2.3-2.7]。その結果、1991 年時点において室温における 0.10 μm CMOS の高速回路動作が世界で初めて実証され、微細化による CMOS デバイス高性能化のメリットがゲート長 $L = 0.10 \mu\text{m}$ の領域まで維持されることを初めて確認した[2.5-2.7]。

本章では試作したゲート長 0.10 μm CMOS のデバイス構造に言及した後、電気的な静特性、CMOS インバーターのゲート遅延時間などについて、測定結果並びにシミュレーション結果に基づいて議論し、将来の展望について述べる。

この 0.10 μm CMOS デバイスの評価結果が、本論文の他の章の微細化技術の研究を進めていく上での出発点となった。すなわち第 3 章ではデバイスサイズを縮小するための素子分離技術が、第 4 章では寄生抵抗低減を目指したソース／ドレイン形成技術が、そして第 5 章ではさらなる微細化 CMOS デバイスへの課題が議論され CMOS デバイス高性能化の経緯が示される。

2.2 0.10 μm CMOS デバイスの構造

今回試作したゲート長が 0.1 μm クラスの CMOS デバイスの断面構造を図 2.1 に示す[2.3]。

これは基本的には両表面チャネル型のプレーナー型 CMOS デバイスである。つまり nFET と pFET でそれぞれ異なる仕事関数を持つ材料からゲート電極が構成されており、表面チャネル型 MOSFET として動作する。これは pFET 構造に短チャネル効果抑制に対して空乏層制御面で構造的に弱いとされる埋めこみチャネル型 MOSFET を採用しなかったためである。

従来型のデバイスと比較して今回の CMOS デバイスの持つ大きな特徴としては次の 3 点が挙げられる。

- (1) 浅い不純物拡散層を得るための LDD 構造 (Lightly Doped Drain 構造) を採用した。
- (2) 短チャネル効果改善のためにパンチスルーストップ領域 (ポケット構造、もしくはハロー (Halo) 構造と言う) を設けた。
- (3) 寄生抵抗改善のためにチタン (Titanium、以下 Ti) によるサリサイド (Salicide: Self-Aligned Silicidation: Salicide) 工程[2.10]を採用した。

従来型の MOSFET においてはゲート長の短縮に伴ってソース／ドレイン間の電界が高くなり、その結果生じるホットキャリアによるデバイス特性の劣化が問題とされてきた。LDD はそれを解決する一方法として考案されたもので、ドレイン領域のチャネル側に不純物濃度の低い領域、例えば ($\sim 10^{18} \text{ cm}^{-3}$ 程度) を設けて、この高抵抗部分で電圧降下を発生させてドレイン側の高電界を緩和するという原理である[2.8][2.9]。今回のデバイスでは LDD をホットキャリアに対するデバイス信頼性を高めるという目的に加えて、浅い p-n 接合深さを持つソース／ドレイン電極を実現する手法として採用した。

LDD の形成方法として以前はゲート側壁スペーサーの外側から不純物の注入加速エネルギーやドーズ量を変えて二重に拡散させて形成されていた。今回はゲート側壁スペーサーの形成前に浅いソース／ドレイン不純物拡散層部分をつくり、次にゲート側壁部形成後に深い不純物拡散層部分を作り分けることで短チャネル効果を抑制することを目論見た。これにより浅い部分の不純物拡散層深さ X_j が nFET で 50 nm 程度、pFET で 80 nm 程度の領域を形成することに成功した。それと同時に浅い部分のソース／ドレイン不純物拡散層の不純物濃度を従来型の LDD よりも 1 桁から 2 桁高めてバンド間トンネリング電流の抑制が可能な不純物濃度領域を見出した。

(2)については、ソース／ドレイン電極形成時にゲート電極の外側から、不純物をチャネル部内側に向けてイオン注入して実現する。この追加ドーパされた不純物はチャネル部の不純物と電氣的に同じ導電型を持つのが特徴である。ゲート長が縮小されるとこのポケット領域同士がソース側とドレイン側とで重なるので基板中の不純物濃度が高くなり、より効果的にパンチスルーを抑制できる。

(3)のサリサイド工程とは文字通り、ソース／ドレイン／ゲート電極上に低抵抗のシリコンー金属の合金であるシリサイドを同時にセルフアラインドに形成することを指す。セルフアラインド (Self-Aligned) とはマスクを使わずに (リソグラフィ工程無しで) 既に形成された下地のパターンに合わせてプロセス技術を適用することを言う。

従来技術ではシリサイド材料 (例えば WSi、MoSi₂ など) をスパッタして低抵抗領域を形成していたが、これだと上記の 3 つの電極に同時にスパッタすると各電極間が電氣的に短絡してしまう。それ

を防止するためには各電極間に存在するシリサイド材料を選択的に除去しなければならないが、マスクを新たに使ってエッチングする必要がある、その手法が難しい。

一方シリサイド工程においては、最初にゲート側壁スペーサーを形成した後、ソース／ドレイン／ゲート電極の表面、並びにゲート側壁スペーサー上に金属を全面にスパッタして熱工程を加えてシリサイド化する。次にゲート側壁スペーサー上ではシリサイドが形成されず未反応の金属のまま残るので、この金属部のみを選択的にエッチングすることで除去する。このようにするとシリサイドはソース／ドレイン／ゲートの各電極上にのみ選択的に形成され、各電極間の電氣的短絡が防止できる利点がある[2.10]。

今回の実験で用いた金属はチタン Ti であり、シリコンと反応して TiSi_2 というシリサイドを形成する。この試作条件の最適化も十分注意して行った[2.11]。特にシリサイドの膜厚が大きくなるとソース・ドレイン部の接合リーク電流が大きくなるので、スパッタするチタンの膜厚やシリサイドの形成温度などを最適化した。

またこれらのデバイスにおいて、ゲート酸化膜厚 T_{ox} は 4 nm であり、ゲート側壁スペーサーにはシリコン窒化物 Si_3N_4 を用いて電流駆動力に対して高性能化を計った。[2.3-2.5]

このデバイスにおける各種プロセスパラメータは表 1.1 にまとめた。

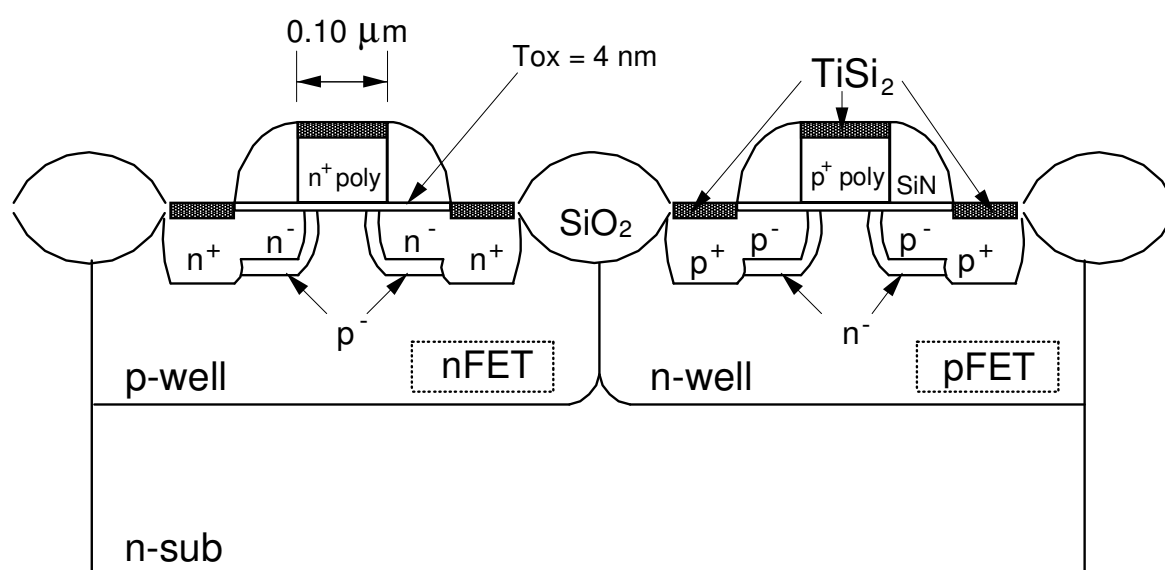


図 2.1 試作した 0.1 μm CMOS デバイスの断面図 [2.3]

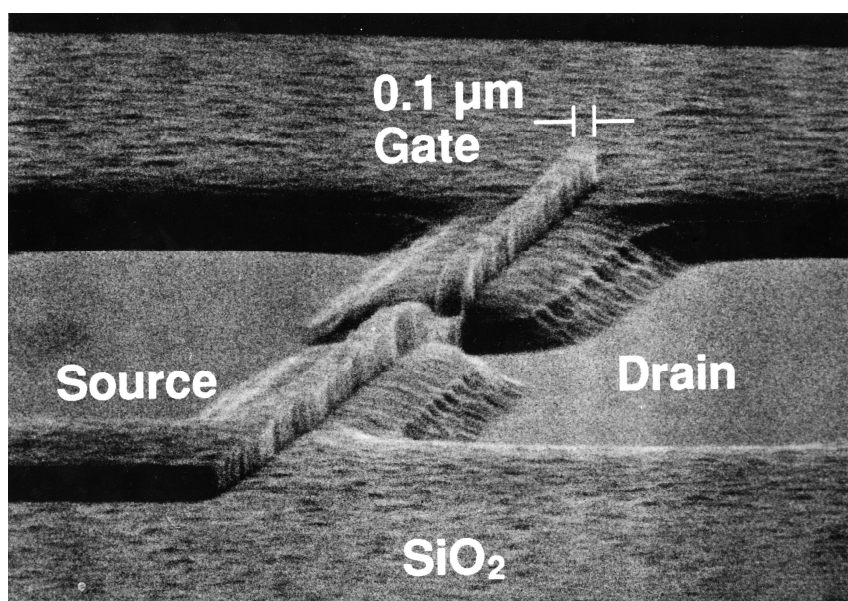
浅いソース／ドレイン接合形成のための LDD 構造、ソース／ドレイン／ゲート上シリサイドの適用、Pocket 領域（nFET では n-の LDD 領域を囲む p-領域、pFET では p-の LDD 領域を囲む n-領域）の採用などが特徴である。

表 1.1 試作した 0.1 μm CMOS のデバイスパラメーター[2.3]

	nFET	pFET
ゲート長	0.10 μm	
ゲート酸化膜厚	4nm	
基板中における ピーク不純物濃度	$1 \times 10^{18} \text{cm}^{-3}$	
LDD 領域における接合深さ	50nm	
LDD 領域における ピーク不純物濃度	$1 \times 10^{19} \text{cm}^{-3}$	$5 \times 10^{18} \text{cm}^{-3}$
ソース／ドレイン領域 における接合深さ	0.1 μm	

試作プロセスについては、ゲートポリシリコンの加工以外は通常の 0.8 μm デバイスのデザインルールの従来試作技術を流用した。ゲートポリシリコンについては、電子ビーム直接描画とネガ型レジストによるパターニングを行った後、ポリシリコンと酸化膜のエッチング速度が異なる（＝高いエッチング選択比を持つ）RIE（Reactive Ion Etching）を用いて加工した。

図 2.2 に RIE 加工直後のゲートポリシリコンの SEM（Scanning Electron Microscopy: 走査型電子顕微鏡）写真を示す。これらの加工寸法は断面 SEM 写真、及び断面 TEM（Transmission Electron Microscopy: 透過型電子顕微鏡）写真によって確認しており、ゲート長は 0.09 μm まで物理的に加工されたことが確認された。また今回の nFET と pFET ではゲート長が同じである[2.4]。

図 2.2 試作されたゲート長 0.1 μm CMOS デバイスの SEM 写真[2.4]

ゲート電極は電子ビームによるリソグラフィと高精度 RIE を用いて加工した。

2.3 0.10 μm CMOS デバイスの静特性

今回試作した $L = 0.10 \mu\text{m}$ の n 型、及び p 型の MOSFET 特性は Ref.[2.4]に示されている。図 2.3 に nFET、pFET の I_d - V_g 特性を示す。両方とも良好なカットオフ特性を示しており、ドレインリーク電流は $10 \text{ pA}/\mu\text{m}$ 以下であった。またバンド間トンネリング電流 ($V_g < 0$ の領域における I_d の主成分) もゲート酸化膜厚 T_{ox} が 4 nm であるにもかかわらず、LDD 構造を最適化して採用したために非常に小さくなった。

次に短チャネル効果について、MOSFET の長チャネル領域からのしきい値シフト δV_t を各ゲート長について測定した結果 (V_t roll-off) を図 2.4 に示す。ここでのしきい値電圧 V_t はチャネル幅 $W = 10 \mu\text{m}$ の素子でドレイン電流 I_d が $10 \mu\text{A}$ になるゲート電圧と定義する。このデバイスと同時に試作した従来型のシングルソース/ドレイン構造のデバイスについての V_t roll-off も比較のため示した。これは LDD 構造と異なり、ソース/ドレイン部へのイオン注入を nFET と pFET でそれぞれ一度づつしか行っていないものである。ここで短チャネル効果抑制の指標として、短チャネル効果によって生じるしきい値シフト δV_t が 0.1 V となるゲート長 L を L_{min} として規定する。これを各ソース/ドレイン構造間で比較すると従来型のシングルソース・ドレイン構造では nFET で $L_{min} = 0.20 \sim 0.25 \mu\text{m}$ 、pFET で $L_{min} = 0.30 \mu\text{m}$ であるのに対し、LDD 構造では nFET で $L_{min} = 0.12 \mu\text{m}$ 、pFET で $L_{min} = 0.16 \mu\text{m}$ 程度まで改善された。さらにパンチスルーストッパ領域(ポケット領域)を設けたデバイスは nFET で $L_{min} = 0.11 \mu\text{m}$ 、pFET で $L_{min} = 0.12 \mu\text{m}$ まで短チャネル効果を抑制できた。

S-factor については、(1.8)式でも述べたように図 2.3 のサブスレッショルド領域から評価される。今回のデバイスでは長チャネル領域で nFET、pFET とも $82 \text{ mV} / \text{dec.}$ 程度であるのに対し、短チャネル効果が抑制される範囲内では $90 \text{ mV} / \text{dec.}$ 以内になっておりパンチスルー耐性が十分改善されることが明らかになった。以下ではパンチスルーストッパ領域を設けた試料について主として議論する。

次に 5 極管領域における相互コンダクタンス G_m の測定値をゲート長依存性の形で図 2.5 に示す。ここでドレイン電圧の絶対値は 2.0 V で測定した。図中の黒色のシンボルは測定値を示し、白色のシンボルは LDD 部分の寄生抵抗値を補正したイントリンシックな値をそれぞれ示した。ゲート長 L を $0.50 \mu\text{m}$ から $0.10 \mu\text{m}$ まで微細化していくと G_m の値は nFET、pFET とも単調に増加することがわかる。 $L = 0.10 \mu\text{m}$ においては実測値で nFET は $400 \text{ mS} / \text{mm}$ 、pFET は $230 \text{ mS} / \text{mm}$ が得られた。寄生抵抗によって生じる電流特性の劣化はチタンシリサイド TiSi_2 のおかげで改善されたが、寄生抵抗を補正したイントリンシックな場合の G_m は nFET で $450 \text{ mS} / \text{mm}$ 、pFET で $260 \text{ mS} / \text{mm}$ とさらに大きくなる。すなわち微細化による CMOS の高性能化が少なくとも $0.10 \mu\text{m}$ までは実現できることがこの測定結果から明らかになった。また図中で矢印で示した点は電子が飽和速度でチャネル全域を走行した場合の G_m の値 ($v_{sat} \cdot C_{ox}$) であり、nFET においてはこの値の約 80% まで達した。これを超えた場合を速度オーバーシュートというが、この現象が室温で観測されるためには、よりゲート長を微細化するか、キャリアの移動度を大きくする必要があると考えられる。この測定結果では nFET と pFET の G_m の比は L が微細化すると 1.0 に近づく傾向が見られる。[2.3] これは、両者のキャリアの飽和速度が n 型、p 型の両方で余り変わらないためではないかと考えられる。CMOS デバイスのマスク上でのレイアウトを考えるとすれば、このことは L が $0.1 \mu\text{m}$ 領域では両者のゲート幅の比を従来から用いられる $1:3$ 程度よりも小さくでき、より面積的なバランスが良くなる。これも微細化によるメリットの一つである。

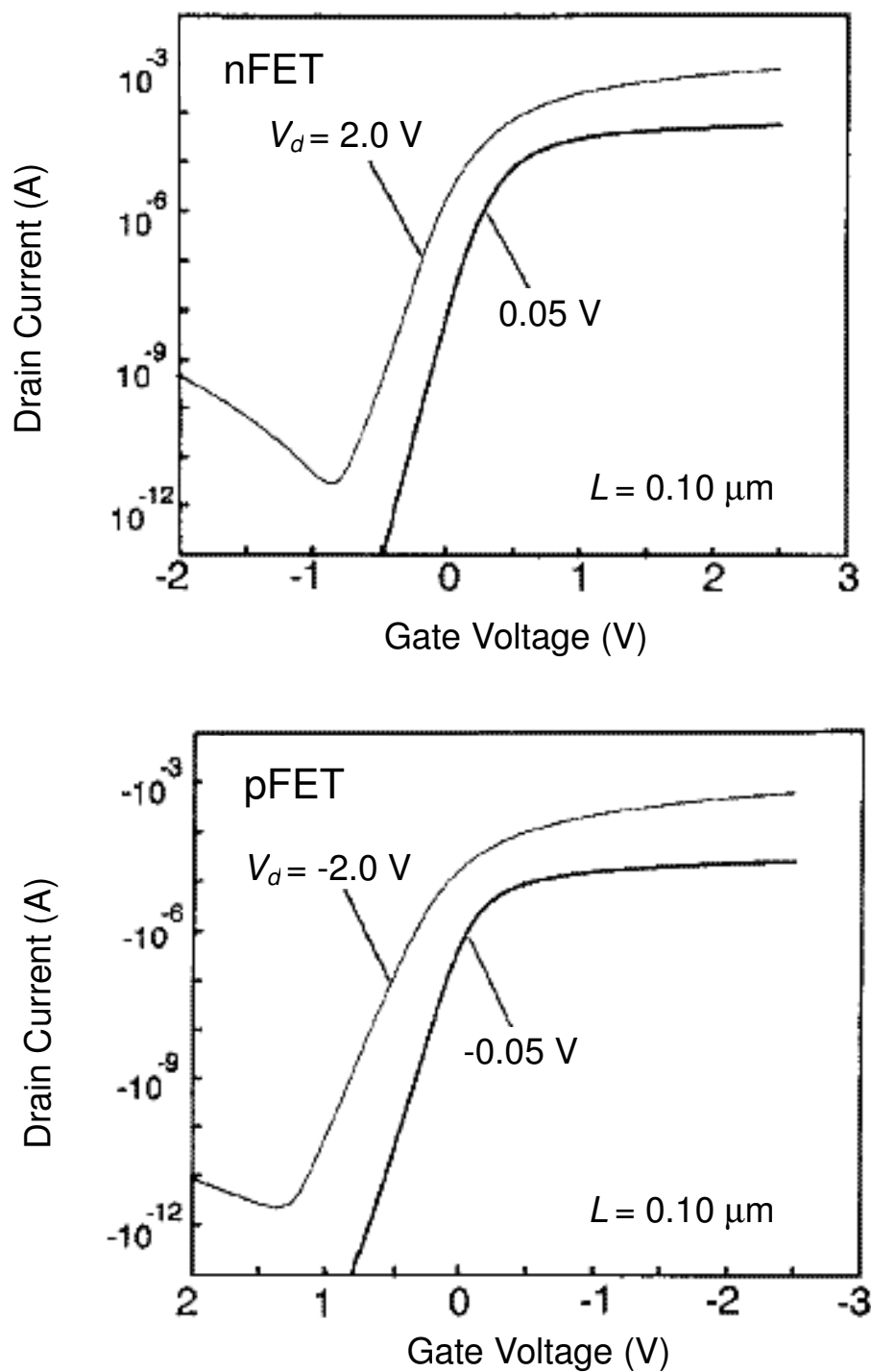


図 2.3 試作された $0.1\ \mu\text{m}$ CMOS デバイスの I_d - V_g 特性 [2.4]

ドレイン電圧を3極管領域 ($0.05\ \text{V}$) と5極管領域 ($2.0\ \text{V}$) と変化させて特性を比較した。 $L = 0.10\ \mu\text{m}$ でも比較的両者の差は小さく、パンチスルーが十分抑制されたことを示す。また $V_g < 0\ \text{V}$ の領域においてもドレインリーク電流が小さいことは、バンド間トンネル電流も十分低減されたことを示す。

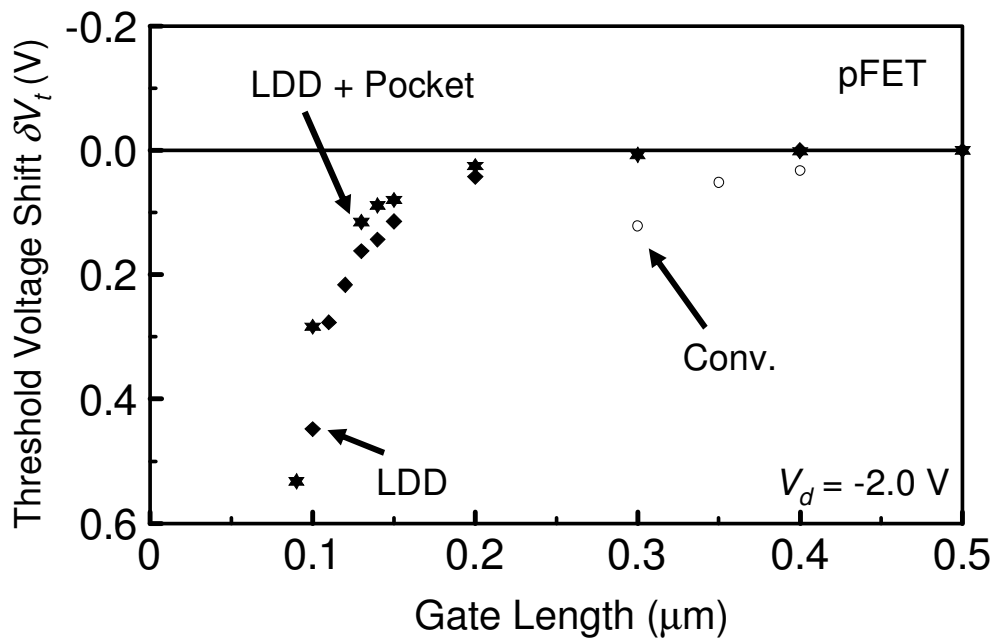
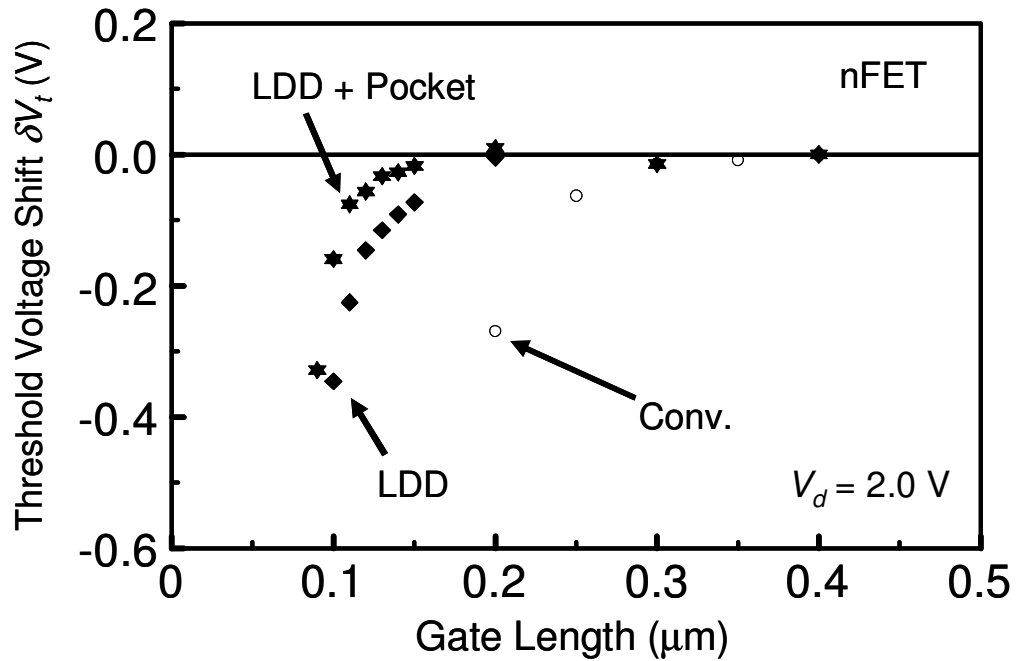


図 2.4 $L = 0.10 \mu\text{m}$ まで試作された CMOS デバイスの V_t roll-off 特性 [2.4]

しきい値シフト δV_t で見たとき、従来型の FET ではシングルソース/ドレイン構造(Conv.構造)で接合深さが大きいため $L = 0.25 \mu\text{m}$ 程度で V_t roll-off が顕著に見える。一方 LDD + Pocket 構造においては浅い接合深さを実現できているため短チャネル効果が顕著に改善された。

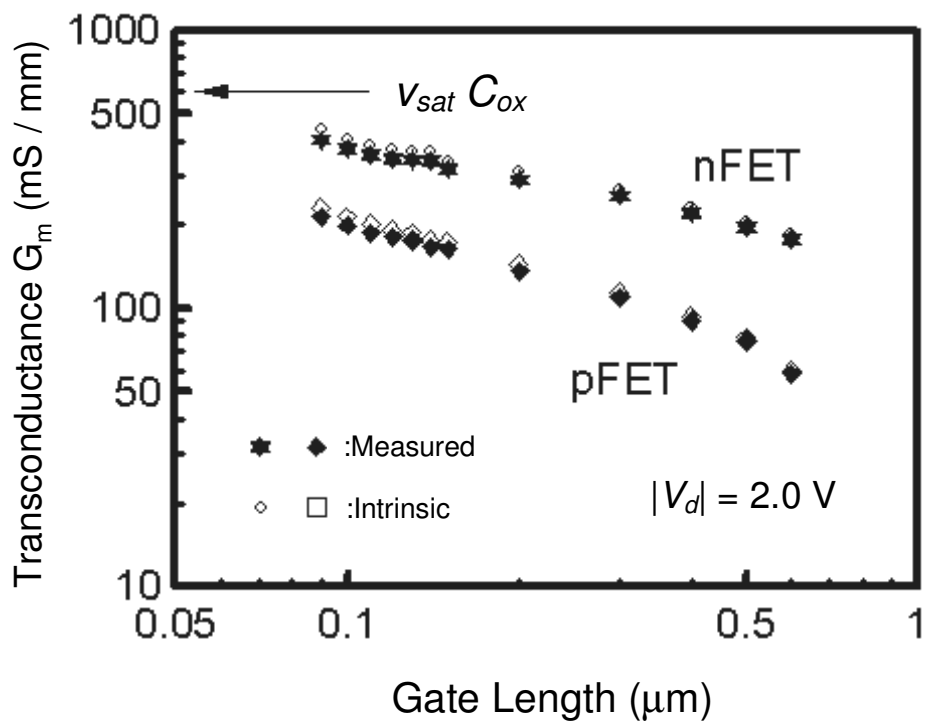


図 2.5 ゲート長と 5 極管領域の Transconductance との関係 [2.4]

白抜きのシンボルは寄生抵抗を補正した後の G_m 値を示す。ゲート長 L が縮小されると G_m は増大し、実験した範囲内で飽和する傾向は見られていない。図中の矢印はキャリアの飽和速度 v_{sat} と C_{ox} との積で示される点である。もしキャリアが飽和速度以上になる速度オーバーシュート現象が起きていれば G_m の値はこの線を越えることになる。

2.4 0.10 μm CMOS デバイスのゲート遅延時間評価

CMOS デバイスをインバーターとして見た時、スイッチングに伴う遅延時間 τ_{pd} (propagation delay time: 伝達遅延時間) は通常 N 段 (N : 素数) のインバーターから構成されるリングオシレーターの発振周波数 f を測定することにより次式から求められる。

$$\tau_{pd} = \frac{1}{2 \cdot N \cdot f} \quad (\text{sec.}) \quad (2.1)$$

今回は同一ウェハー上に $L = 0.10 \sim 0.50 \mu\text{m}$ の各ゲート長の CMOS デバイスでリングオシレーターを構成した。測定されたゲート遅延時間 τ_{pd} とゲート長の関係を図 2.6 に示す[2.6・2.7]。(リングオシレーターの回路は図 2.6 の inset を参照。) この時、電源電圧 V_{dd} は 2.5 V であり、チャネル幅 W は nFET で $W_n = 2.0 \mu\text{m}$ 、pFET で $W_p = 3.0 \mu\text{m}$ とした。ウェハー面内での遅延時間のばらつきは $\sigma = 1 \sim 2 \text{ psec}$ であった。

この図 2.6 の結果から、ゲート長 L を $0.10 \mu\text{m}$ まで縮小すると単調に τ_{pd} も改善し、さらにそれがほぼ L に関して線形的に減少すると言える。すなわち L を $0.10 \mu\text{m}$ まで微細化すると電流駆動力が改善され、その結果としてこのゲート長領域まで遅延時間が確かに短縮すると確認できた。また L に対して線形に比例することはこのプレーナー型の CMOS においても L を $0.10 \mu\text{m}$ より縮小すればさらなる τ_{pd} の改善の可能性がある、まだ CMOS デバイスの微細化限界が見えていないと言える。

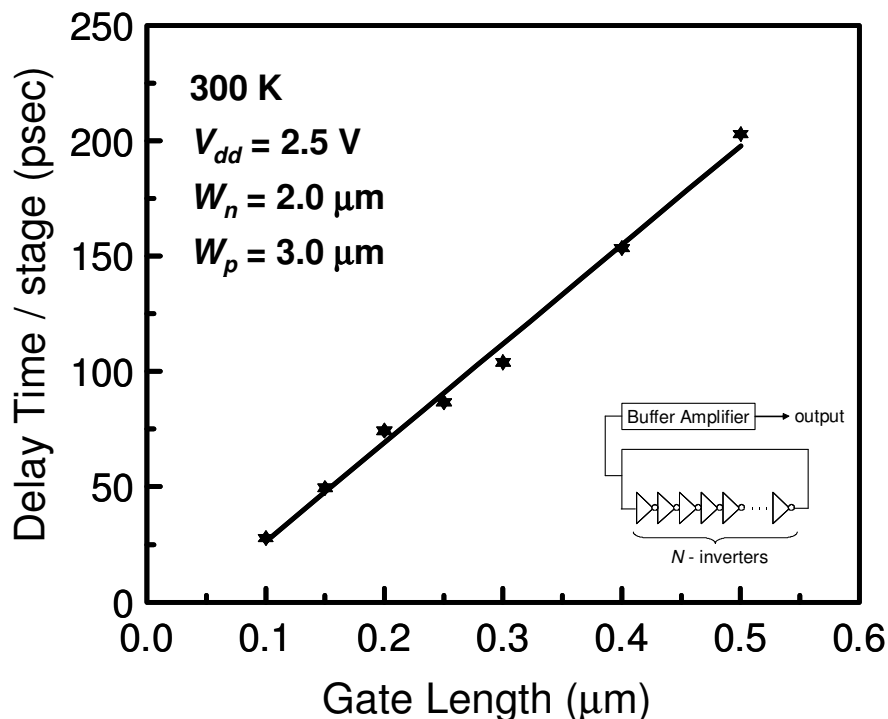


図 2.6 ゲート長 L と測定されたゲート遅延時間 τ_{pd} の関係

τ_{pd} はリングオシレーター (図中の回路図参照) によって測定される。ここでは L の縮小に対して線形的に小さくなり、飽和傾向が見られない。さらに L を縮小することで τ_{pd} が改善される余地がある。

図 2.6 に示した CMOS デバイスでは $L = 0.10 \mu\text{m}$ にて 2.5 V 動作で $\tau_{pd} = 27 \text{ psec / gate}$ 程度のスイッチング時間が観測された。これは 1991 年までに学会等で報告された CMOS デバイスの τ_{pd} としては最も高速である。ただしこれは LDD+pocket 構造のものではなく、LDD 構造の CMOS デバイスで記録されたものであり、短チャネル効果抑制が十分でない素子での結果であった[2.3]。

実際 LDD+pocket 構造を用いたデバイスでは τ_{pd} の L 依存性は線形的に減少する一方で、短チャネル効果改善によりオン電流が比較的抑制されたため、 $L = 0.10 \mu\text{m}$ での遅延時間は $\tau_{pd} = 44 \text{ psec / gate}$ であり絶対値としては従来型の $0.25 \mu\text{m}$ 世代の τ_{pd} より大きい。これはしきい値低下が改善され、同時にゲート長縮小により寄生効果がより大きく見えてくるためと考えられる。また図 2.6 の τ_{pd} の L 依存性は従来の報告ほど大きくない。これは寄生効果の抑制が $0.10 \mu\text{m}$ のグラウンドルール用に最適化されていないためと、また L が大きな素子では従来型の素子に対するデザインルールよりも基板不純物濃度が大きいため遅延時間が増大するためである。ゲート長の微細化が進むにつれて CMOS デバイス構造はより短チャネル効果に対して耐性のある LDD+ pocket 構造の方が適するため、以降の遅延時間の解析は全てこの構造の CMOS リングオシレーターの測定結果を用いた[2.6-2.7]。

次に同一チップ内における $L = 0.10 \mu\text{m}$ 、 $0.30 \mu\text{m}$ 、 $0.50 \mu\text{m}$ の各リングオシレーターにおける電源電圧 V_{dd} と遅延時間 τ_{pd} の関係を調べた。測定結果を図 2.7 に示す。これを見ると $L = 0.10 \mu\text{m}$ の素子においては、 $L = 0.30 \mu\text{m}$ や $0.50 \mu\text{m}$ の素子に比べて τ_{pd} の電源電圧依存性が弱い。デバイスの信頼性の面からみるとゲート長の微細化と動作電圧の低減は同時に最適化されなければならないが、 L を微細化することで τ_{pd} の電圧依存性が弱くなり結果的に低電圧下で高速動作のマージンが拡大すると言える。現象論的な面から議論するとこれは前節の (1.3) 式で示されるように L の微細化でキャリアが飽和速度に達するのに必要な電圧が低下して、図 2.7 の動作電圧の範囲では τ_{pd} が主として 5 極管領域の電流特性で τ_{pd} が決定されるためと考察できる。

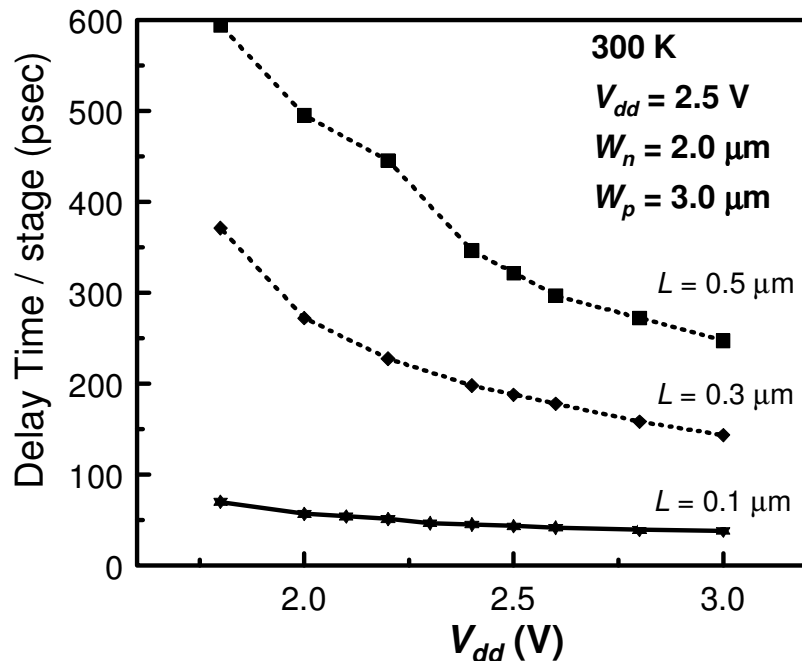


図 2.7 ゲート遅延時間と動作電圧の関係[2.7]

ゲート長が微細になると τ_{pd} の電源電圧依存性が小さくなる。これは L が小さいとキャリアが飽和速度に達しやすくなることに起因すると考えられる。

つまり、キャリアが飽和速度に達する 5 極管領域では(1.4)式で述べた様に V_{dd} が多少低下しても I_d はほぼ一定値 $I_{d5} \sim (V_g - V_t)$ とする一方で、一番簡単な近似では $\tau_{pd} \sim CV/I_{d5}$ と表せることから分子と分母で $V_g (= V_{dd})$ の効果がほぼキャンセルして電圧依存性が小さくなるからである。

さらに遅延時間 τ_{pd} に影響を及ぼす寄生効果について実験的に見積もってみた。ここでは特にソース／ドレインの不純物拡散層と基板間に生じる接合容量と τ_{pd} との関係について、ドレイン領域の面積を変えたリングオシレーターを試作して遅延時間評価を行った。結果を図 2.8 に示したが、これを見ると明らかに遅延時間はドレインの面積にほぼ直線的に比例する。測定点を外挿して考えると、破線で示したように拡散層の面積が 0 となる極限の場合、すなわち拡散層による寄生容量が 0 となる状態ではこの部分の寄生容量による余計な遅延時間が無いので、今回の試作した CMOS デバイス（ドレイン面積： $\sim 4 \mu\text{m}^2$ ）の τ_{pd} に対して約 15 psec. 程度改善されることがわかる。

またゲート抵抗の影響に対しても同様にゲート幅（＝チャンネル幅）を変えた CMOS リングオシレータを測定して実験的な見積りを行い、ゲート抵抗起因の遅延時間成分はさらに 2~3 psec. 程度は改善される余地があることが明らかになった。

今回のデバイスでは、これらの寄生効果の影響が遅延時間の大半を占めることが判ったが、拡散層容量やゲート抵抗の影響の低減は、プロセス条件やデバイス構造を改善すれば十分可能である。言い換えると今回のようなプレーナ型 0.10 μm CMOS においても、寄生効果さえ抑制できればゲート遅延時間が 20 psec. 以下の高速動作可能性があると結論できる。

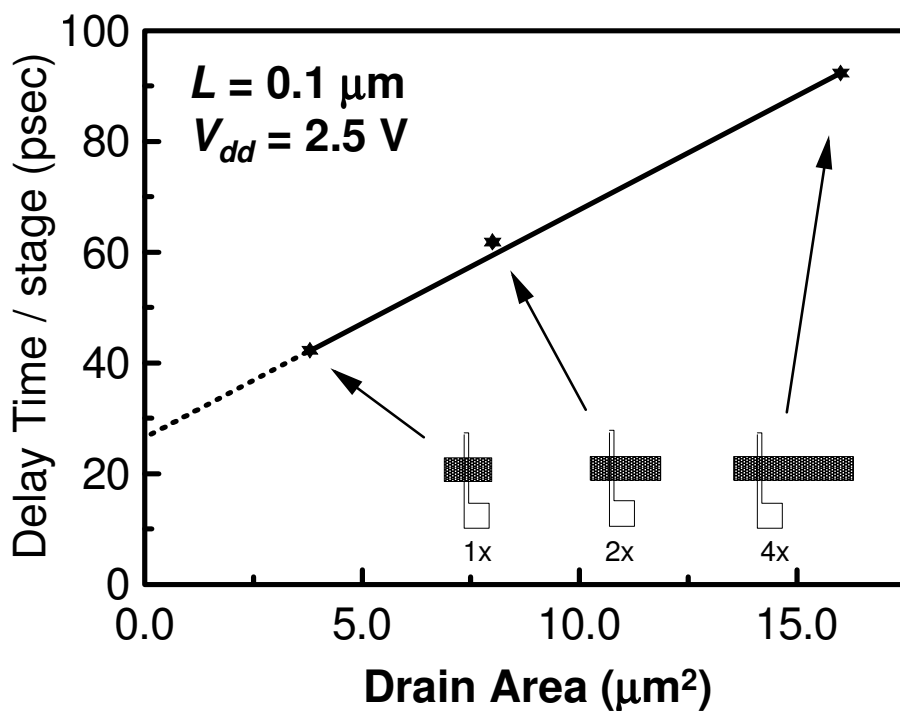


図 2.8 実測によるゲート遅延時間とインバータのドレイン面積との関係[2.7]

τ_{pd} はドレイン面積に線形的に比例することがわかる。外挿すると、ドレイン側寄生容量がゼロとなる極限では標準サイズの CMOS（一番左側の 1x）における τ_{pd} に対してさらに 15 psec./gate 程度の改善見込みがある。

次に実験結果を確認するために SPICE(Simulation Program with Integrated Circuit Emphasis)を用いた回路シミュレーションによりゲート遅延時間解析を行った。ここでは MOSFET のモデルとして Level 3 モデル[2.12]を用いて Fan-out=1 のリングオシレーターをターゲット回路として仮定した。MOSFET モデルに必要なパラメーター抽出は各ゲート長の MOSFET におけるドレイン電流特性の実測値から行った。今回の場合、 $L=0.10\ \mu\text{m}$ まで微細化した CMOS でも SPICE Level3 の半経験的な MOSFET モデルでパラメーターを選べば比較的良好に I_d - V_d 特性の実測値を再現できた(図 2.9)。

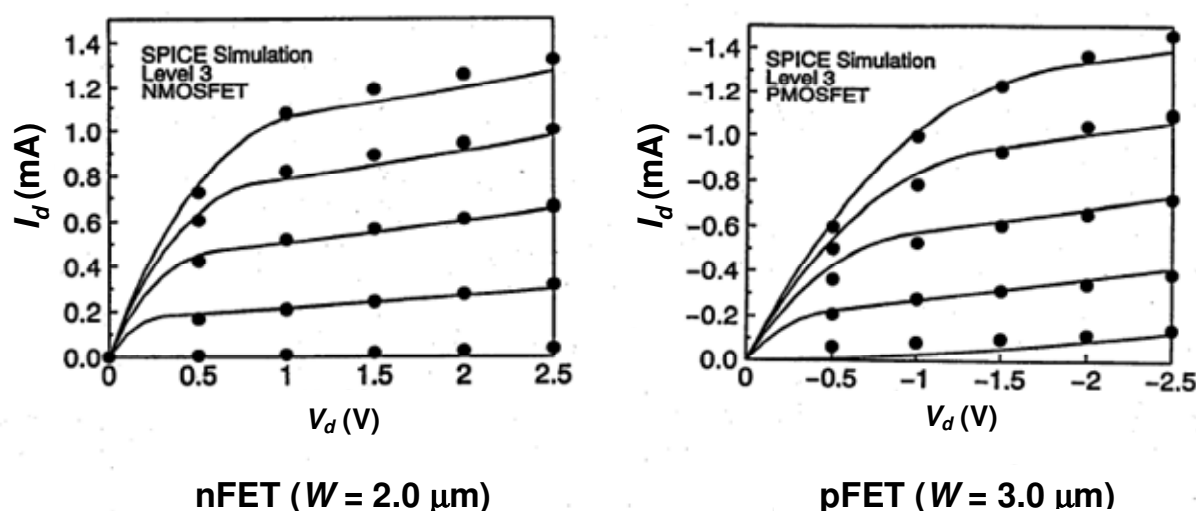


図 2.9 SPICE による $0.10\ \mu\text{m}$ CMOS の I_d - V_d 特性の再現性

実線が計算値、ドットが測定値であり、今回の場合は Level3 model でも特性の再現性にほとんど問題ない。

また寄生容量に関してはゲート容量、ソース/ドレイン拡散層容量、ゲートオーバーラップ容量について、同じウェハー上の各容量値の測定によって求めた。配線容量に関しては今回のシミュレーションでは無視した。特に遅延時間に対する拡散層容量の効果については実測値との比較し、ほぼ定量的に SPICE 上で再現されることを確認した。

各ゲート長の MOSFET における DC 特性の再現性を確認後、リングオシレーター動作をシミュレーションしてゲート長 L と遅延時間 τ_{pd} の関係を計算した(図 2.10)。黒色のマーカー(★)で示された実測値に対して、実線で示されたシミュレーションによる計算値はほとんど誤差 10% 程度以内で一致した。

さらに先に述べたようにドレイン領域の拡散層容量 C_{jd} を現在の値の $1/10$ にし、ゲートの抵抗値が $\sim 1.0\ \Omega/\square$ であるという条件を仮定して計算すると、遅延時間 τ_{pd} とゲート長の関係は図 2.9 の破線のところまで改善されることがわかった。 $L=0.10\ \mu\text{m}$ において τ_{pd} は $20\ \text{psec}$ を少し下回るころまで実現可能であるとわかった。

すなわち実験的に示された遅延時間改善見積りとほぼ矛盾の無い結果が回路シミュレーションからも得られ、実験とシミュレーション相互の妥当性が示された。

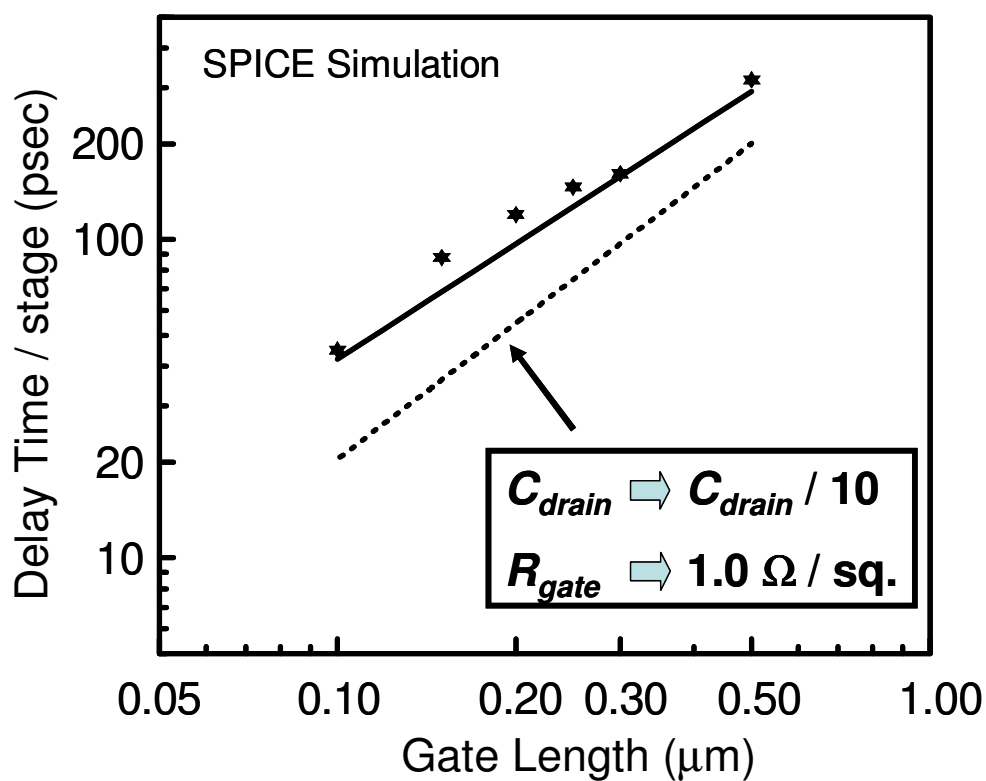


図 2.10 実測値 (★) 並びに SPICE シミュレーションによる
ゲート遅延時間 (実線) とゲート長の関係

点線はドレイン側の寄生容量を実測値の 1/10 とし、かつゲート電極のシート抵抗を $1.0 \Omega/\text{sq}$ と仮定した場合の τ_{pd} の改善を示した。

この SPICE Level3 の MOSFET モデルの範囲で、遅延時間 τ_{pd} における各種寄生効果の影響を分離して τ_{pd} の計算をすると各成分の τ_{pd} に占める割合、すなわち τ_{pd} の要因分析ができる。

図 2.11 に $L = 0.10 \mu\text{m}$ における τ_{pd} の要因分析を行った結果を示す。ここで Intrinsic として示してあるのは次段のゲート容量による遅延時間である。これらの計算によると、今回の CMOS デバイスにおいてはソース／ドレイン領域の接合容量の影響が全体の遅延時間のほぼ 50% を占める。

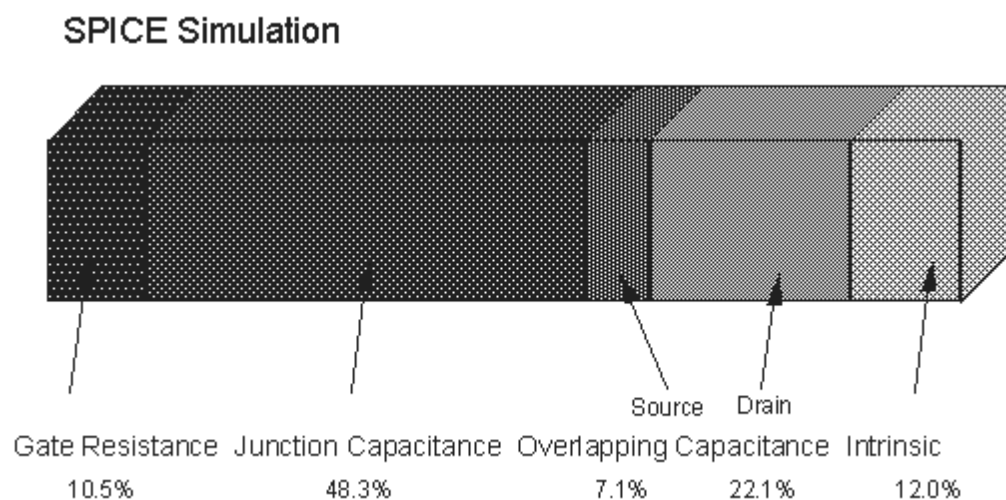


図 2.11 SPICE シミュレーションによるゲート遅延時間の要因分析[2.7]

リングオシレーター回路の各ノードの容量値や抵抗値のパラメーターを意図的に変動させて、それぞれの τ_{pd} へ与える影響を調べて、それを全 τ_{pd} に対して比を取ることで要因分析した。

すでに図 2.6 で示したように、今回の試作した素子の中には $V_{dd} = 2.0 \text{ V}$ で $\tau_{pd} = 32 \text{ psec/gate}$ 、 2.5 V で $\tau_{pd} = 27 \text{ psec/gate}$ 、さらに電圧を上げた 3.0 V では $\tau_{pd} = 23 \text{ psec/gate}$ で動作するものが確認された。この遅延時間は NTT の研究グループから 1989 年に報告された CMOS デバイス[2.13]での最高速の $\tau_{pd} = 28 \text{ psec/gate}$ ($V_{dd} = 3.5 \text{ V}$) よりも小さく、1991 年において世界最高速の CMOS スイッチング特性を示した。NTT グループの CMOS は pFET にリン拡散による n 型ポリシリコンを用いた埋め込みチャネル型の CMOS であるが、我々の素子は pFET には p 型ポリシリコンを用いた Dual Workfunction ゲート電極の表面チャネル型 CMOS であり、将来の微細化に適した構造である。

したがって本章で述べた $0.1 \mu\text{m}$ CMOS において高速動作が実証された意義は、将来のシリコンデバイスの微細化に対して非常に大きいと考える。

2.5 0.10 μm CMOS デバイスの消費電力

CMOS 室温動作の重要な検討課題として遅延時間 τ_{pd} とともに重要なのが消費電力 P である。実際の CMOS インバーターの消費電力の測定としては、リングオシレーターのリング部分に入る電流をモニターし、それに動作電源電圧を乗じて消費電力とした。今回の実験範囲では電源電圧は 1.6~3.0 V の範囲で測定した。測定結果を図 2.12 に示す。ここでは $L = 0.10 \mu\text{m}$ 、 $0.30 \mu\text{m}$ 、 $0.50 \mu\text{m}$ の 3 種類の素子についての測定結果、ならびに SPICE Level3 による計算結果を示してある。いずれの素子においても、高速動作する領域では消費電力ー遅延時間積 $\tau_{pd} \cdot P$ で 100 fJ を大きく越えることがわかる。また SPICE による消費電力のシミュレーション結果も実測値をほぼ再現しており、予測の定量性は比較的良いと考えられる。

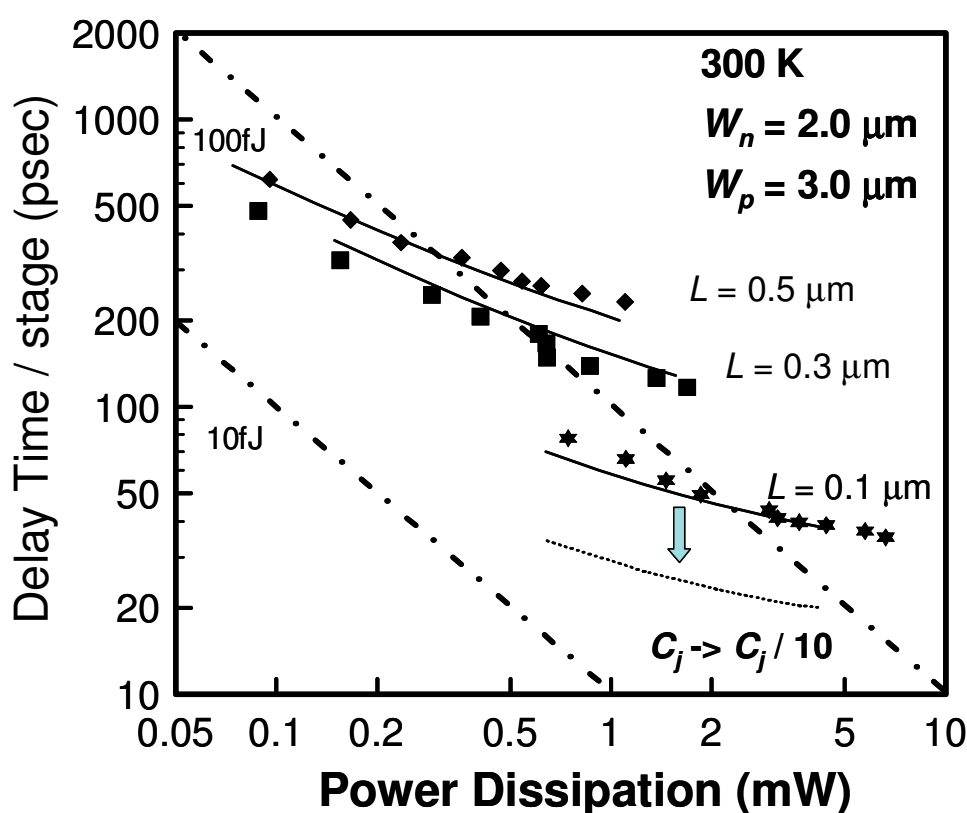


図 2.12 消費電力 P とゲート遅延時間 τ_{pd} の関係[2.7]

(実線は SPICE シミュレーションによる計算値であり、点線は C_j がさらに現在の値の $1/10$ を仮定した場合の計算値を示している。)

また図中で点線で示したものは SPICE のシミュレーション結果で、 $L = 0.1 \mu\text{m}$ の素子に対して、接合容量 C_j が現在の $1/10$ の値を仮定して計算したものである。この場合は動作電圧にも依存するが確実に消費電力ー遅延時間積は小さい方向にシフトする。

ここで C_l を負荷容量として消費電力・遅延時間積を低減するにはどうすべきか考えてみる。

$\tau_{pd} \cdot P \sim C_l \cdot V_{dd}^2 / 2$ (=負荷容量に電荷をためることによるエネルギー) という関係はデバイス動作時には常に保たれる。ここである一定の消費電力 P まで許容するという条件下で $\tau_{pd} \cdot P$ を最小化するという目的のためには、電圧 V_{dd} を下げても τ_{pd} を小さくできる状況を作らねばならない。その際、キャリアの速度が飽和する臨界電界 E_c 、および C_{ox} と μ_{eff} がその条件を決めるパラメーターとなる。臨界電界 E_c は v_{sat} / μ_{eff} で定義される。実際の動作上は、 μ_{eff} や v_{sat} を大きくして、電源電圧を小さくしても同じ遅延時間になるようにするのが高速動作を維持してかつ消費電力を低減するシナリオとなる。飽和速度 v_{sat} は物質の定数であるので操作は困難だが、チャネル中の基板不純物濃度を小さくすることによって移動度 μ_{eff} を大きくすることは可能であり、これらによって遅延時間と消費電力に対する性能を改善できる。

学会などでは GaAs デバイスなどで消費電力やその遅延時間積がシリコンに比べて改善するという報告[2.14]があるが、それは動作電圧が小さく、また電子移動度 μ_{eff} がシリコンとは桁違いに大きいことによる。つまり電源電圧が小さくてもキャリアが高速で走行し、結果的に動作時間が小さいため、シリコンより消費電力が小さいことになる。(GaAs デバイスは本質的に MESFET であるために論理振幅が大きくできないことが、逆に低消費電力につながる。) しかし、工夫次第では CMOS でもさらなる高速動作と低消費電力化が可能であり、集積化の面も考えると GaAs デバイスを高速 LSI としての総合性能で凌ぐ可能性は大いにある。

CMOS の消費電力には、ここで述べたもの以外にも、貫通電流による成分、接合リーク等による成分などがあるが、今回のデバイスではゲート絶縁膜は十分に厚く、また接合リーク電流も小さいことからこれらの寄与は小さいと考えられる。もちろんこれらは将来的には注意して議論すべき課題である。。

2.6 スケーリングされた 0.10 μm CMOS のゲート遅延時間の予測

すでに述べてきたように、今回試作したデバイスにおいては、ゲート抵抗による遅延時間とソース／ドレインの不純物拡散層容量による遅延時間の寄与が大きい。しかしこれらは今回のデバイスにおいてゲート幅やソース・ドレインの拡散層の面積がゲート長と同期したスケーリングがなされていないことに起因する。すなわち、0.1 μm のグラウンドルールで MOSFET を形成できれば遅延時間は大幅に改善されるはずである。

そこでチャネル幅 W 方向を縮小する場合やソース／ドレイン拡散層の面積を縮小した場合の遅延時間 τ_{pd} の改善度を SPICE による回路シミュレーションで計算した。この結果を図 2.13 に示す。ここではコンタクトホール大きさも世代毎にスケーリングされると想定した。すなわちコンタクトホールを一辺 K (μm) の正方形と仮定し、ゲート幅 W は nFET で $2K$ (μm)、pFET で $3K$ (μm) とし、比例縮小させていくというルールで計算した。これらの例ではソース／ドレイン拡散層の面積は nFET で $2K \times 2K$ (μm^2)、pFET で $3K \times 2K$ (μm^2) とした。 K は 10 μm ~ 0.1 μm の範囲で変化させた[2.6・2.7]。

さらにコンタクトホール大きさが縮小されるとコンタクト抵抗の影響が予想される。コンタクト比抵抗 ρ_c をパラメータとして、コンタクト抵抗 R_c ($=\rho_c \div K^2(\Omega)$) を各 CMOS デバイスに対して外付けの抵抗としてソース／ドレインに直列に接続して遅延時間を計算した。例えば $K=0.1 \mu\text{m}$ の時に ρ_c が $1 \times 10^{-7} \Omega \text{cm}^2$ であるとする R_c は 1000 Ω になる。ここでは簡単化のため、Transmission Line Model による寄生抵抗計算[2.15]はしていない。実際デバイスの微細化に伴ってコンタクト領域とゲート電極間の距離が縮小するので、今回の簡単な計算は Transmission Line Model の計算値に近くなると考えられる[2.15]。図 2.13 を見ると、 $K > 0.30 \mu\text{m}$ の時は K を縮小するとゲート抵抗低減効果と拡散層面積低減効果のおかげで遅延時間 τ_{pd} は一様に減少する。(基板不純物濃度は今までの議論と同じとした。)ところがコンタクト抵抗を考慮すると $K < 0.3 \mu\text{m}$ の領域では、 K を小さくしても τ_{pd} が減少しない。これはコンタクト抵抗によって、ドレイン電流が小さくなったためと考えられる。特に $\rho_c = 5 \times 10^{-7} \Omega \text{cm}^2$ の時には明らかに $K = 0.2 \mu\text{m}$ で τ_{pd} は極小点を持ち、それ以上微細化するとかえって τ_{pd} は悪化するという結果となった。

シリサイドを適用した場合に実現される ρ_c は、TiSi₂ の場合 nFET でほぼ $1 \times 10^{-7} \Omega \text{cm}^2$ 程度であり、pFET の場合にはもっと大きいことが公知である。さらに浅い拡散層を形成した場合で、シリサイド中に不純物を取り込まれて、拡散層中の不純物濃度が $1 \times 10^{20} \text{cm}^{-3}$ より小さくなるとすれば、 $5 \times 10^{-7} \Omega \text{cm}^2$ 程度になってしまうことも十分懸念される。電流駆動力を現在程度のままでデバイスの大きさを縮小すると、遅延時間を基準にしたプレーナー型での CMOS 微細化の限界は $K \sim 0.3 \mu\text{m}$ 付近にあることがわかる。またドレインの拡散層容量の影響が無視できる場合にはコンタクト抵抗の影響が相対的に大きく見える(図 2.14)。したがってこのコンタクト抵抗の増大による遅延時間の劣化を避けるには、電流駆動力を増やすこと、及びコンタクトホールの面積を増やすこと、並びにバリアハイトが小さく、シリサイドを安定に形成しやすい金属材料を用いる必要がある。コンタクトホールの面積を増やすには SEG (Selective Epitaxial Growth) による elevated ソース／ドレイン等の方法が提案されているが、これらの構造は本質的にソース／ドレイン部分の寄生容量が大きくなってしまいう可能性があり、CMOS の遅延時間とのトレードオフになる。どのような方法が良いのかは今後十分検討していく余地がある。

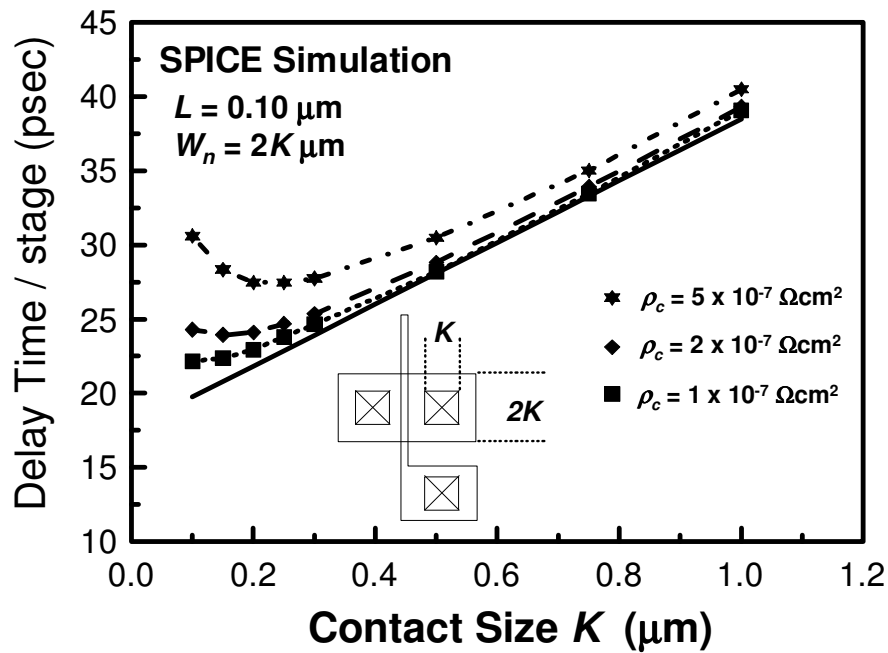


図 2.13 ドレイン領域とコンタクト領域の面積を変化させた場合の

コンタクト抵抗増大による $0.1\mu\text{m}$ CMOS のゲート遅延時間の変化[2.7]

ドレイン面積の縮小で寄生容量は減少するが、コンタクト面積の縮小が過ぎると寄生抵抗による τ_{pd} 劣化があらわれる。

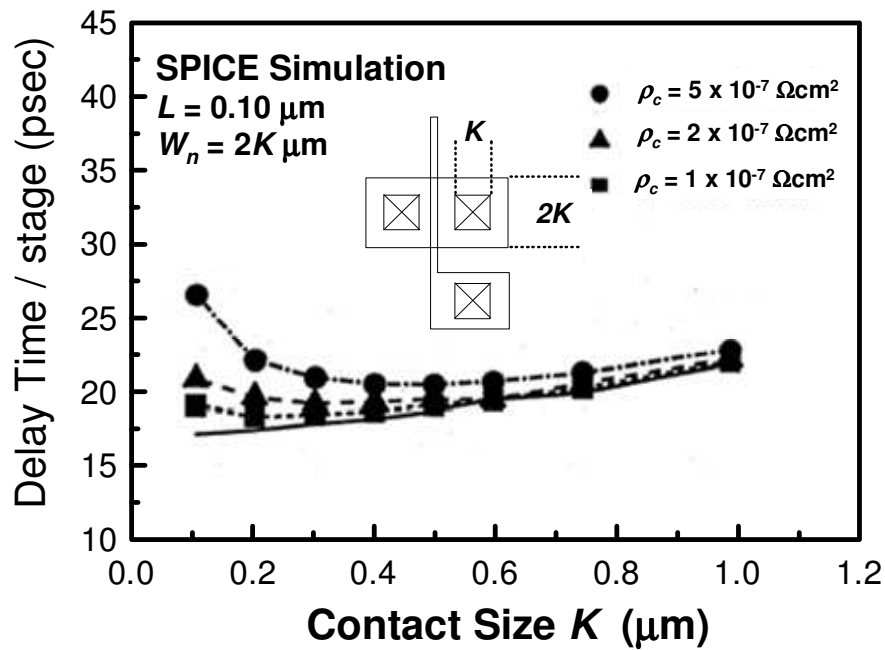


図 2.14 ドレイン部の拡散層容量が無視できる場合の

コンタクト抵抗増大による $0.1\mu\text{m}$ CMOS のゲート遅延時間の変化[2.7]

寄生容量が無視できるような極限ではコンタクト抵抗の影響は図 2.13 の場合よりもコンタクト径の大きいところから見え出す。

2.7 第2章のまとめ

第2章では実際に試作を通じてゲート長が $0.1\mu\text{m}$ クラスの CMOS デバイスの性能、主としてゲート遅延時間と消費電力に着目して議論した。さらに SPICE シミュレーションを併用することで、遅延時間の要因分析、さらに将来の $0.1\mu\text{m}$ グラウンドルールで形成される CMOS デバイスの遅延時間の予測を行った。

本章の研究で行ったのは以下の事項である。

- (1) 室温においても $0.10\mu\text{m}$ CMOS の動作が可能であり、ゲート長の縮小によって高性能化が達成できる見通しを実験的に得た。
- (2) ただし、ゲート長だけの微細化でも寄生効果（寄生抵抗、寄生容量）の影響が性能、特にゲート遅延時間に対して顕著に見え出すことを示した。
- (3) さらにインバーターとしてのスイッチング速度の向上にはゲート長だけでなく、その他の寸法もスケールリングする方法を確立する必要があること、特に低抵抗コンタクトの必要性を議論した。

将来的に CMOS の微細化にとって問題となる要素は特に(2)の寄生効果であり、(3)のスケールリングに真剣に取り組むとともに、何らかの工夫が CMOS デバイスの高性能化に対して必要である。

これらの事実を踏まえて以下の章では CMOS デバイスの微細化に必要とされるいくつかの要素技術に関する各論に入る。それらはデバイスのスケールリングとともに、各デバイス間の距離を小さくすることで素子分離領域を詰める方法、浅く、かつ低抵抗なソース／ドレイン領域を形成する方法、ゲート絶縁膜の薄膜化、寄生容量の低減が可能なデバイス構造等である。

2.8 Appendix (ゲート抵抗を分布定数とした時の遅延時間)

回路シミュレータ SPICE の Level3 model による遅延時間のシミュレーションではゲート抵抗 R_g を集中定数として扱う。ここでは、負荷容量に蓄積された電荷を CMOS が放電する過程を簡単な RC 直列回路で考え、抵抗 R と容量 C を集中定数として扱った場合と分布定数として扱った場合の違いについて議論する[2.16-17]。単純化のため、キャパシターへの充放電時間のみを考え、ゲート電圧変化による MOSFET によるドレイン電流の変化は考慮しない。

ゲート抵抗 R_g 、容量 C_g が集中定数で直列に接続されるとき (Fig.2.A.1) をまず考える。

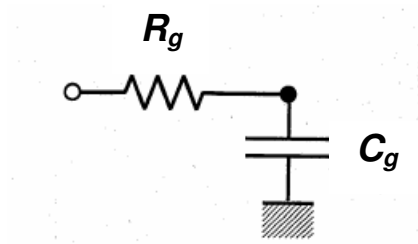


Fig. 2. A. 1 RC 遅延回路
(分割なしでゲート電極を近似)

回路方程式としては次式が成立する。

$$C_g \cdot dV(t)/dt = -i(t) \quad (2.A.1)$$

$$V(t) = R_g \cdot i(t) \quad (2.A.2)$$

初期条件として C_g に時刻 $t=0$ で電荷 Q_0 が蓄積されていたとする。この時の電荷 $Q(t)$ に対する解は、

$$Q(t) = Q_0 \exp[-t/(R_g C_g)] \quad (2.A.3)$$

となる。同様に全体を 2 分割して考えた場合 (Fig. 2.A.2) を考える。

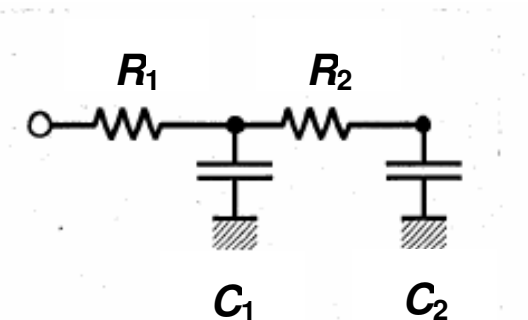


Fig. 2.A.2 RC 遅延回路 (2 分割)

このときは各 node における回路方程式系は以下ようになる。

$$\begin{aligned} C_1 \cdot dV_1(t) / dt &= -i_1(t) \\ C_2 \cdot dV_2(t) / dt &= -i_2(t) \end{aligned} \quad (2.A.4)$$

$$\begin{aligned} V_2(t) &= R_2 \cdot i_2(t) + V_1(t) \\ V_1(t) &= R_1 \cdot [i_1(t) + i_2(t)] \end{aligned} \quad (2.A.5)$$

これを解くと ($C_1 = C_2 = C_g / 2$ 、 $R_1 = R_2 = R_g / 2$ より)

$$\begin{aligned} V_1(t) &= \left[(5 - \sqrt{5}) / 10 \right] \cdot \exp \left[(-3 - \sqrt{5}) \gamma t / 2 \right] + \left[(5 + \sqrt{5}) / 10 \right] \cdot \exp \left[(-3 + \sqrt{5}) \gamma t / 2 \right] \\ V_2(t) &= \left[(5 - 3\sqrt{5}) / 10 \right] \cdot \exp \left[(-3 - \sqrt{5}) \gamma t / 2 \right] + \left[(5 + 3\sqrt{5}) / 10 \right] \cdot \exp \left[(-3 + \sqrt{5}) \gamma t / 2 \right] \\ \gamma &\equiv 4 / (R_g \cdot C_g) \end{aligned} \quad (2.A.6)$$

よって全電荷 $Q(t)$ は

$$Q(t) = (C_g / 2) \cdot [V_1(t) + V_2(t)] \quad (2.A.7)$$

で与えられる。

さらに 3 分割した場合 (Fig.2.A.3) では 2 分割の場合を拡張して、回路方程式系は以下のようにになる。

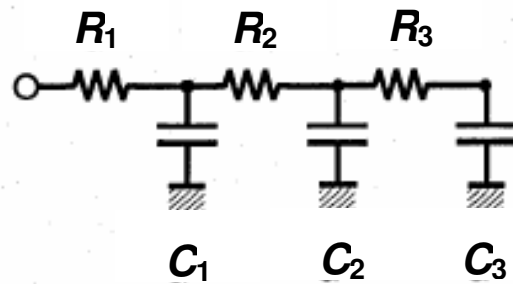


Fig. 2.A.3 RC 遅延回路 (3 分割)

$$dV(t) / dt = - (3 / C_g) \cdot \mathbf{A} \cdot \mathbf{I}(t) \quad (2.A.8)$$

$$V(t) = (R_g / 3) \cdot \mathbf{B} \cdot \mathbf{I}(t) \quad (2.A.9)$$

ここで

$$\mathbf{A} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \quad \mathbf{B} = \begin{bmatrix} 1 & 1 & 2 \\ 1 & 2 & 2 \\ 1 & 2 & 3 \end{bmatrix} \quad (2.A.10)$$

$$\mathbf{V}(t) \equiv \begin{bmatrix} V_1(t) \\ V_2(t) \\ V_3(t) \end{bmatrix} \quad \mathbf{I}(t) \equiv \begin{bmatrix} i_1(t) \\ i_2(t) \\ i_3(t) \end{bmatrix} \quad (2.A.11)$$

とした。

これらから $\mathbf{I}(t)$ を消去することができて、

$$d\mathbf{V}(t)/dt = - (9/R_g \cdot C_g) \cdot \mathbf{A}' \cdot \mathbf{V}(t) \quad (2.A.12)$$

$$\mathbf{A}' = \begin{bmatrix} -2 & 1 & 0 \\ 1 & -2 & 1 \\ 0 & 1 & -1 \end{bmatrix} \quad (2.A.13)$$

となる。 \mathbf{A}' の固有値を α 、 β 、 γ とし、 $1/\tau \equiv [9/(R_g \cdot C_g)]$ とすれば各点での電圧の時間変化は以下のように記述される。

$$\begin{aligned} V_1(t) &= K_{11} \cdot \exp(\alpha t / \tau) + K_{12} \cdot \exp(\beta t / \tau) + K_{13} \cdot \exp(\gamma t / \tau) \\ V_2(t) &= K_{21} \cdot \exp(\alpha t / \tau) + K_{22} \cdot \exp(\beta t / \tau) + K_{23} \cdot \exp(\gamma t / \tau) \\ V_3(t) &= K_{31} \cdot \exp(\alpha t / \tau) + K_{32} \cdot \exp(\beta t / \tau) + K_{33} \cdot \exp(\gamma t / \tau) \\ & \quad (K_{ij} \text{ は初期条件より計算できる。}) \end{aligned} \quad (2.A.14)$$

また数値解法的に \mathbf{A}' の固有値を求めると

$$\alpha = -0.19806, \beta = -3.24698, \gamma = -1.55498$$

となった。

したがって全電荷の時間変化は

$$Q(t) = (C_g / 3) \cdot [V_1(t) + V_2(t) + V_3(t)]$$

となる。

一方、上述の回路を分布定数系として考えると、Fig. 2.A.4 の様になる。

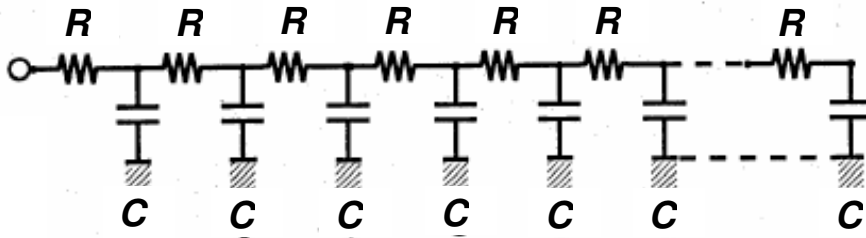


Fig. 2.A.4 RC 遅延回路 (分布定数系)

この場合には電圧、電流ともゲート電極中における位置 x ($0 < x < W_g$) と時間 t ($0 < t$) の関数になるため、それぞれ $V(x, t)$, $i(x, t)$ と置くことにする。回路方程式は以下ようになる。

$$\begin{aligned} -\partial V(x, t) / \partial x &= R \cdot i(x, t) + L \cdot \partial i(x, t) / \partial t \\ -\partial i(x, t) / \partial x &= G \cdot V(x, t) + C \cdot \partial V(x, t) / \partial t \end{aligned} \quad (2.A.15)$$

ここで R , L , G , C はそれぞれ単位長さあたりの抵抗、インダクタンス、漏れコンダクタンス、容量を示す。またこれらの初期条件並びに境界条件は

$$\begin{aligned} V(x, 0) &= V_0, \quad V(0, t) = 0 \\ i(x, 0) &= 0, \quad i(W_g, t) = 0 \end{aligned} \quad (2.A.16)$$

である。これは $t=0$ で電位 V_0 から放電していくことと、常に端点 $x=W_g$ (W_g : ゲート幅)において電流は流れていないということを条件を課すことに相当する。

これを解くには Laplace 変換による解法を用いると比較的見通し良く解けるのだが[2.17]、少し煩雑になるのでここでは計算結果のみ記す。また簡単のため L , G はゼロとして無視した。結果的に時刻 t における位置 x の電位 $V(x, t)$ は以下の様に記述される。

$$V(x, t) = \sum_{n=0}^{\infty} \left\{ \frac{2V_0}{\left[\left(n + \frac{1}{2} \right) \pi \right]} \right\} \cdot \sin \left[\left(n + \frac{1}{2} \right) \cdot \left(\frac{x}{W_g} \right) \pi \right] \cdot \exp \left[- \left(n + \frac{1}{2} \right)^2 \pi^2 t / (R \cdot C \cdot W_g^2) \right] \quad (2.A.17)$$

(2.A.17)式に単位長さ当たりの容量 C を掛けて、位置 x に関して電圧 $V(x, t)$ を積分すれば、全電荷の時間変化は以下のように記述される。

$$Q(t) = \int_0^{W_g} C \cdot V(x, t) dx = \sum_{n=0}^{\infty} 2C_{tot} V_0 \cdot \exp \left[- \left(n + \frac{1}{2} \right)^2 \pi^2 t / (R_{tot} \cdot C_{tot}) \right] / \left[\left(n + \frac{1}{2} \right)^2 \pi^2 \right]$$

$$\text{where } C_{tot} \equiv C \cdot W_g, \quad R_{tot} = R \cdot W_g \quad (2.A.18)$$

各々の分割して計算した RC 遅延時間について電荷の時間変化をプロットしたものが、Fig. 2.A.5 である。これを見ると一番簡単な計算の時と、分布定数系として計算した時とでは、遅延時間に 2.5 倍程度の違いがある。実際、 $R' = R / 2.7$ として (2.A.3) 式で計算した遅延時間と、分布定数系で計算した遅延時間はほぼ一致する。

したがって集中定数系でゲート遅延時間を計算した場合には、実際よりも少し大きめに見積もる結果となる。

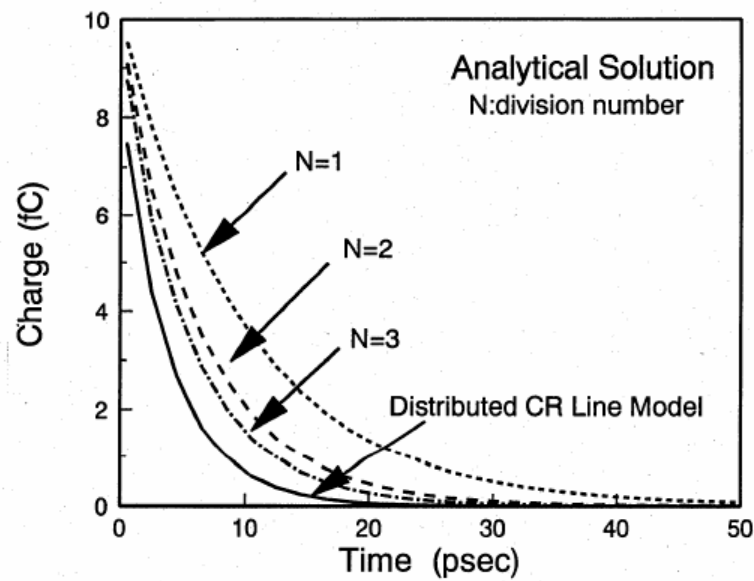


図 2.A.5 RC 遅延時間の解析解の数値計算結果

初期条件として電荷は 10 fC、全容量 $C_{tot}=10$ fF、 $R_{tot}=1.0$ K Ω とした。

第 2 章の参考文献

- [2.1] G. A. Sai-Halasz et al. : IBM J.RES.DEVELOP. **34**,452,(1990)
- [2.2] M. Aoki, T. Ishii, T. Yoshimura, Y. Kiyota, S. Iijima, T. Yamanaka, T. Kure, K. Ohyu, T. Nishida, S. Okazaki, K. Seki and K. Shimohigashi: "0.1 μm CMOS devices using low-impurity-channel transistors(LICT)," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp.939-941, (1990)
- [2.3] A. Toriumi, T. Mizuno, M. Iwase, M. Takahashi, H. Niiyama, M. Fukumoto, S. Inaba, I. Mori and M. Yoshimi, "High speed 0.1 μm CMOS devices operating at room temperature," *1992 International Conference on Solid State Device and Materials (SSDM)*, pp.487-489, (1992).
- [2.4] M. Iwase, T. Mizuno, M. Takahashi, H. Niiyama, M. Fukumoto, K. Ishida, S. Inaba, Y. Takigami, A. Sanda, A. Toriumi, and M. Yoshimi, "High-performance 0.10- μm CMOS devices operating at room temperature," *IEEE Electron Device Letters*, EDL-14, No.2, p.51, (1993).
- [2.5] T. Mizuno, A. Toriumi, M. Iwase, M. Takahashi, N. Niiyama, M. Fukumoto, and M. Yoshimi: "Hot-carrier effects in 0.1 μm gate length CMOS devices," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp.695-698, (1992).
- [2.6] S. Inaba, T. Mizuno, M. Iwase, M. Takahashi, H. Niiyama, H. Hazama, M. Yoshimi, and A. Toriumi: "Impact of contact resistance and junction capacitance on the switching performance in scaled 0.1 μm CMOS devices," *1993 International Conference on Solid State Device and Materials (SSDM)*, A-2-5, pp.32-34, Makuhari, Japan, (1993).
- [2.7] S. Inaba, T. Mizuno, M. Iwase, M. Takahashi, H. Niiyama, H. Hazama, M. Yoshimi, and A. Toriumi: "Inverter performance of 0.1 μm CMOS operating at room temperature," *IEEE Transactions on Electron Devices*, ED-41, No.12, pp. 2399-2404, (1994).
- [2.8] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard: "Elimination of hot electron gate current by the lightly doped drain-source structure," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp.651-654, (1981).
- [2.9] S. Ogura, C. F. Codella, N. Rovedo, J. F. Shepard, and J. Riseman: "A half-micron MOSFET using double-implanted LDD," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp.718-721, (1982).
- [2.10] T. Shibata, K. Hieda, M. Sato, M. Konaka, R. L. M. Dang and H. Iizuka: "An optimally designed process for submicron MOSFETs," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp.647-650, (1981).

- [2.11] M. Takahashi, M. Iwase, T. Mizuno, H. Niiyama, N. Yasuda and M. Yoshimi: "Anomalous resistance in 0.1 μm -region Ti-silicided poly-Si gate," *1993 International Conference on Solid State Device and Materials (SSDM)*, pp. 458-460, Makuhari, Japan (1993)
- [2.12] 例えば *HSPICETM MOSFET Models manual*, 4-12, Synopsys, March 2005
または www.ece.cmu.edu/~ee762/hspice-docs/html/hspice_and_qrg/hspice_2001_2-156.html などを参照
- [2.13] M. Miyake, T. Kobayashi and Y. Okazaki: "Subquater-Micrometer Gate-Length p-Channel and n-Channel MOSFET's with Extremely Shallow Source-Drain Junctions", *IEEE Transactions on Electron Devices*, ED-36, No.2, pp. 392-398, (1989).
- [2.14] T. Mimura, K. Nishiuchi, M. Abe, A. Shibatomi, and M. Kobayashi: "High electron mobility transistors for LSI circuits," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 99-102, (1983).
- [2.15] S. M. Sze *"High Speed Semiconductor Devices,"* Willy & Sons (New York)
- [2.16] 飯塚 和尚編:「CMOS 回路設計の基本」、CMOS 超 LSI の設計 第 2 章 (培風館)、(1989)
- [2.17] 平山 博:「分布定数回路」、電気回路論 第 11 章、(電気学会)、(1984)

第 3 章 浅いトレンチ素子分離技術(STI)における

トレンチ側面部の界面準位密度評価方法とその応用

3.1 第 3 章の概要

前章で述べたように、微細化による CMOS デバイスの高性能化（ゲート遅延時間の改善）には多くの要素技術の改善が必要であるが、素子サイズの微細化に伴って、素子と素子の間を分離する領域（素子分離領域）の面積縮小も重要になってくる。素子分離技術を改善することでドレイン面積縮小が達成されて高速になるだけでなく CMOS デバイスの高密度な配置が可能になる。

本章においては、極微細 CMOS デバイスを実現するために必要な Shallow Trench Isolation (STI) による素子分離方法の開発段階において、トレンチの側面部におけるシリコン／シリコン酸化膜界面における界面準位密度を直接評価する方法を初めて提案し、それによって接合リーク電流低減を目的とした諸プロセスの有効性を評価した結果について報告する。

一例として、STI を用いた素子で周辺長の長い $n^+ - p$ 型のダイオードにて大きな接合リーク電流が見られていたが、その試料について本方法を適用したところ、STI のトレンチ側面部において界面準位密度 D_{it} が $\sim 5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度であることがわかった。さらにその試料に対して特殊な方法で水素パッシベーションを施して界面準位を水素終端すると、確かに接合リーク電流が低減した。これらによって本方法による測定手段、並びにリーク電流低減に対する施策の有効性が示された。

3.2 本研究の背景

sub-0.25 μm 世代以前のCMOSデバイスにおいては、素子と素子の間を分離する方法としてLOCOS素子分離（LOCal Oxidation of Silicon）が用いられてきた。ただしLOCOS法においては後述するように狭い領域に局所的に厚いシリコン酸化膜を形成するのが困難であり、微細化に関する限界が見えていた。

近年このLOCOS素子分離法に代わり、浅いトレンチ素子分離法（Shallow Trench Isolation; 以下ではSTIと略す。脚注参照。）が提案された。図3.1にLOCOSによる素子分離領域形成とSTIによる素子分離形成方法を簡略化して比較した。

LOCOSではSiNなどの耐酸化性のある薄膜をマスク材としてシリコン基板上に堆積しておき、パターニングして開口し、さらに高温酸化工程を加えて厚いシリコン酸化膜を形成し素子分離領域とする。

一方、STIではマスク材となる絶縁膜をパターニングし、そこに浅いトレンチをシリコン基板上に刻み込み、その内部にシリコン酸化膜系の絶縁膜を堆積する。

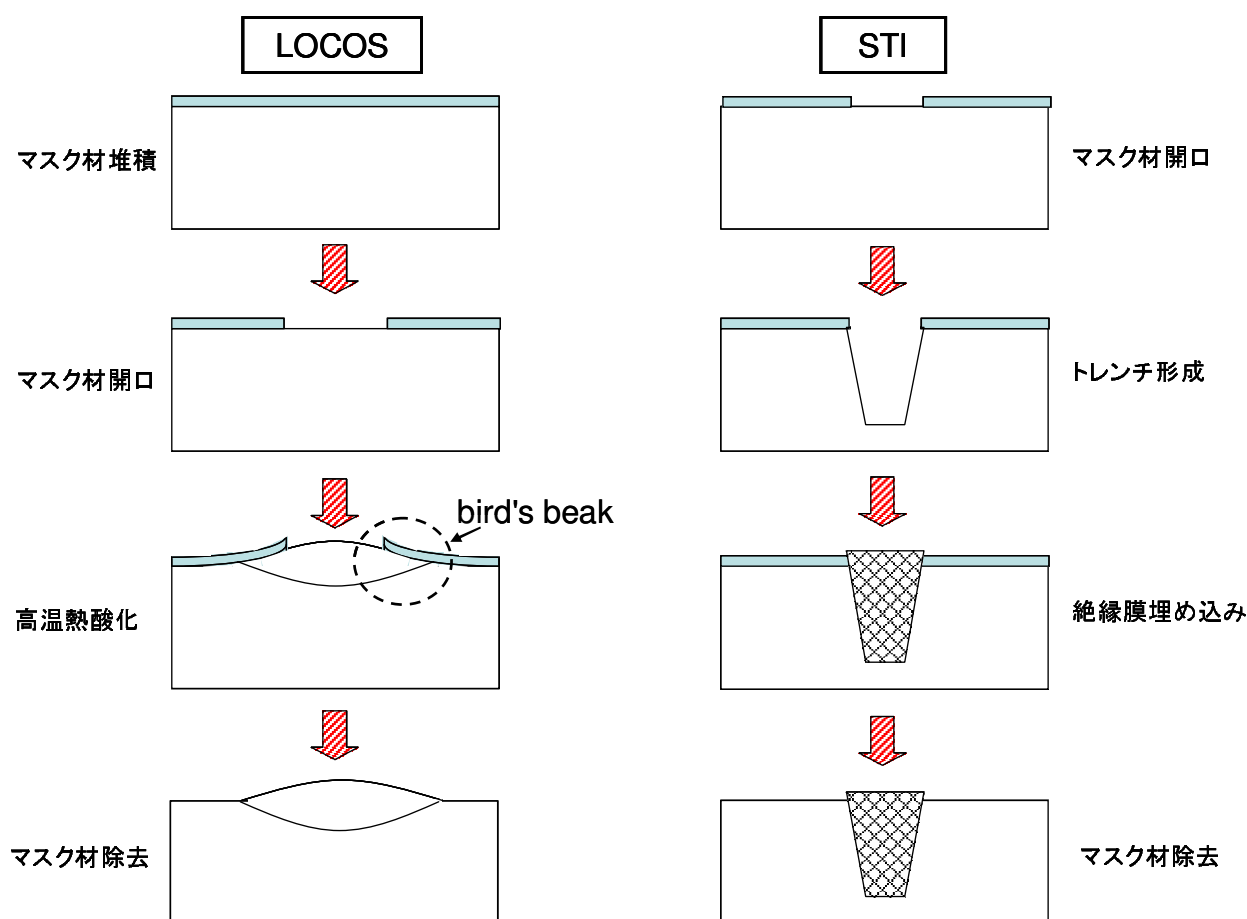


図 3.1 LOCOS と STI による素子分離方法の比較

LOCOS 法では狭いマスク開口部に厚い酸化膜を形成するのが難しいのに対し、

STI 法ではトレンチを掘って絶縁膜を埋め込むので十分な厚さの素子分離領域が確保できる。

このLOCOS法の場合は厚いシリコン酸化膜の形成時に酸素が図面の縦方向だけでなくマスク材の下部にも回り込むので横方向にも酸化される。その結果、酸化膜の堆積膨張を伴って図3.1のようなbird's beakと呼ばれる形状になる。この固有の酸化現象がCMOSデバイスの微細化に対して困難を生じさせる。たとえば素子分離領域を縮小していくとシリコン基板上のマスク開口部が小さくなるので、高温熱酸化工程を経ても酸化膜を厚く形成するのが難しくなり、その結果として十分な素子間分離耐圧（ブレークダウン耐電圧）が得られない。また横方向へも酸素が拡散するので、出来上がったシリコン酸化膜領域の横方向寸法とマスク材で定められたパターンとの寸法差が生じ、素子設計レイアウト上の不都合が生じる。したがって世代が進んだグラウンドルールにしたがって素子領域、及び素子分離領域を縮小していこうとするとLOCOS法では限界がある。

一方、STI法ではマスク材のパターンに対してほぼ垂直に、かつ十分深いトレンチを形成するので、素子を微細化する場合でも素子領域の寸法精度を確保しながら必要十分な素子分離耐圧が得られる。したがってSTIは将来の微細CMOSデバイスを用いたULSI(Ultra Large Integrated Circuit, or Ultra Large Scale Integration)には必須の技術である。

このSTIによる素子分離技術の研究初期は、主として「如何にしてつくるか」というプロセスインテグレーションの観点から議論がなされていた[3.1-3.4]。しかしながら、実際のLSI製造の観点からは素子分離技術の次の課題として、p-n接合におけるリーク電流の低減方法について十分注意を払う必要がある。STIにおける接合リーク電流の低減は非常に重要であり、これはたとえばDRAM(Dynamic Random Access Memory)においてはリテンション時間(=データ保持時間)を改善し、SRAM(Static Random Access Memory)やLogicデバイスにとってはスタンバイ時の低消費電力化につながる。しかしながらSTIを用いた素子分離技術において接合リーク電流特性に関して詳細に議論した例は学会などでもほとんど無かった。

本研究では我々はSTIにおける接合リーク電流がp-n接合における周辺長に比例した成分が主である事実を発見し、p-n接合の周辺部が接するトレンチ側面部の表面状態の特性との関連付けを試みた。具体的にはトレンチ側面部の界面準位密度の定量方法を考案し、接合リーク電流とそのトレンチ側面部の界面準位密度との関連性を調べ、この低減により接合リーク電流の周辺成分が改善されることを見出した。

以下ではそのトレンチ側面部の界面準位密度の評価方法、ならびに接合リーク電流低減方法について報告する。

脚注：Shallow Trenchの"Shallow"という語源はDRAMのCellに用いられていたDeep Trench capacitorのtrench深さ（～数 μm ）に対比して、それよりはShallowなTrenchという意味で用いられた言葉である。（本章の場合でトレンチ深さは1 μm 以内である。）

3.3 STI構造のトレンチ側面における接合リーク電流の増大

STI構造を用いて作られた、 n^+ / p-wellからなる n^+ -p接合ダイオードの接合リーク電流特性を図3.2に示す。ここではともに面積が 0.072 mm^2 と同一であるが、周辺長が 1.08 mm と 48.48 mm の異なる2種類の形状のダイオードにおける接合リーク電流を比較した。図3.2ではダイオードの周辺長の大きい試料における接合リーク電流で2桁程度の増大が見出された。ダイオード領域の底面部の面積は一定なので、この接合リーク電流の差はダイオードの周辺部の長さの違いに起因すると思われる。

接合リーク電流の周辺長成分の典型的な測定値をSTI法とLOCOS法とで比較した（表 3.1）。STI法を用いた n^+ -p接合ダイオードにおいては、逆バイアス電圧が 3.6 V の時にリーク電流が $1.5 \text{ fA} / \mu\text{m}$ を示しており、これはLOCOS法に比較して5～10倍も劣化した。

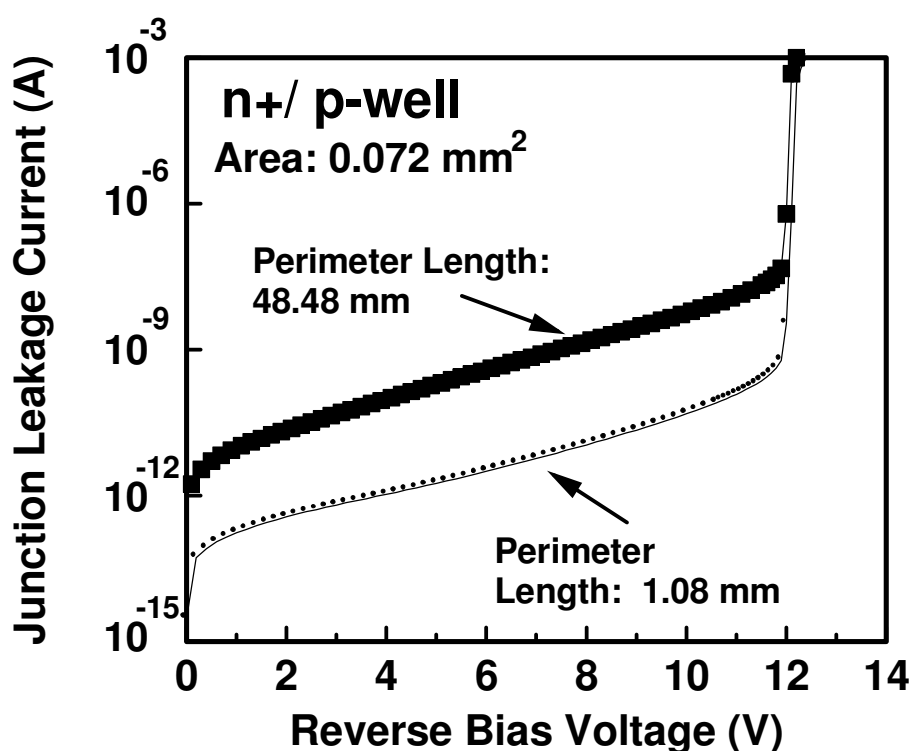


図 3.2 STI を用いた場合の n^+ /p-well 接合リーク電流特性
周辺長の長い n^+ /p 接合ダイオードにおいてより大きなリーク電流が観測されている。

表 3.1 STI 構造と LOCOS 構造における
接合リーク電流の周辺長成分の比較

STI	$1.5 \text{ fA} / \mu\text{m}$
LOCOS	$0.18 \text{ fA} / \mu\text{m}$

n^+ / p-well @ 3.6 V

一般的にSTI構造においてはダイオードのp-n接合は直接トレンチの側面部に接する。清浄なSi(100)面と比較すると、トレンチの側面部はRIE (Reactive Ion Etching: 反応性イオンを用いたエッチング技術) のダメージを受けており、表面状態が劣化することが容易に想像される。この劣化した表面においてシリコンのダングリングボンドが起因している界面準位が生成され、それが接合リーク電流の周辺長成分の増大を引き起こした可能性が高いと思われる。現在までに両者の関係について定量的な議論はなされていないが、リーク電流低減のためには原因を突き止めて対策する必要がある (図3.3)。

以下ではトレンチ側面部の表面状態と接合リーク電流との関係を調べるため、特殊なテストストラクチャーを設計、試作し、STI構造におけるトレンチ側面部の界面準位密度を測定した結果について議論する。さらにその応用としてSTI構造における界面準位密度の低減方法について議論し、接合リーク電流の低減には界面準位密度のコントロールが必須であることを示す。

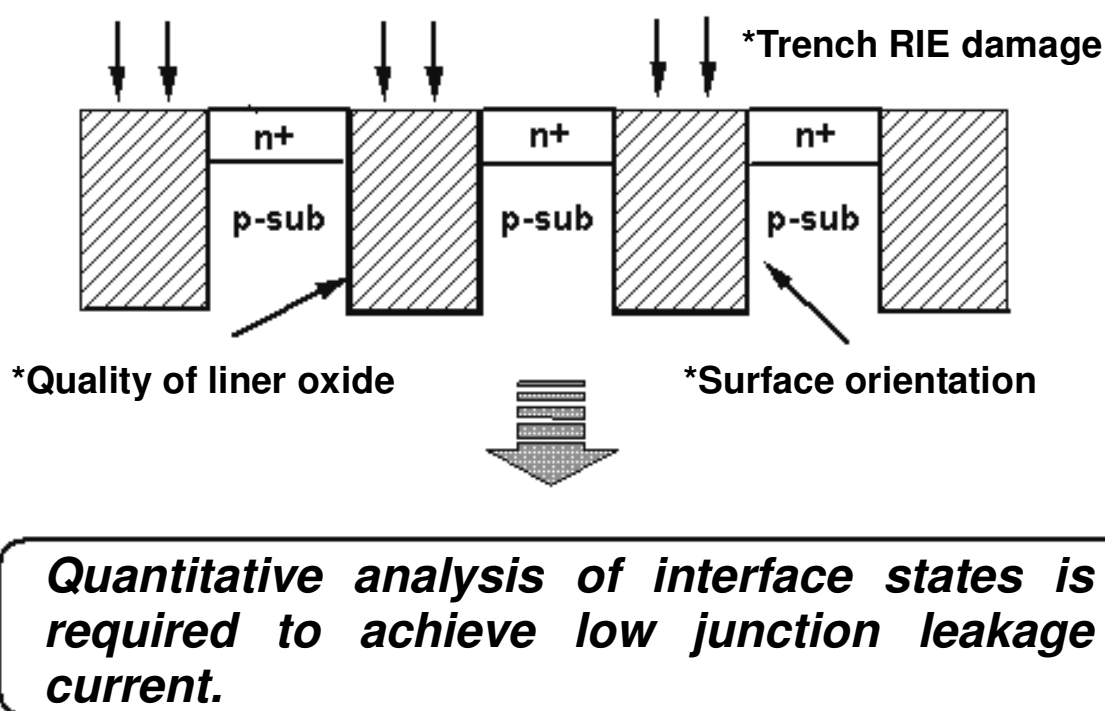


図 3.3 STI 構造における接合リーク電流劣化の要因

トレンチ形成時の RIE ダメージや、側面部の基板面方位、さらには酸化膜質などが通常使われる Si(100)面と異なるため、界面準位が生成され、それが接合リーク電流増大を引き起こすと想像される。

3.4 MOS構造の界面準位密度の測定（パラレルコンダクタンス法、C-V法）

本節では以降の解析を行う準備として単一レベルのトラップがある場合のシリコン／シリコン酸化膜界面準位の評価方法についてまとめておく。

界面準位はシリコン-シリコン酸化膜界面の欠陥によって生じたエネルギー準位であり、それらは単一準位、もしくは準位の分布幅を持ってバンドギャップ内に存在する。この節では参考文献[3.5]にしたがってコンダクタンス法やC-V法による界面準位密度測定について概説し、今回の測定時に用いた近似などを記す。

界面準位があるMOSキャパシターについては図3.4の様な等価回路が提案された[3.5]。ここではn型の基板を仮定した。 C_T はトラップによる等価容量成分で、 G_n 、 G_p はそれぞれのキャリアが伝導帯、もしくは価電子帯にトラップを介して伝導することを示す。 C_I は反転層容量である。

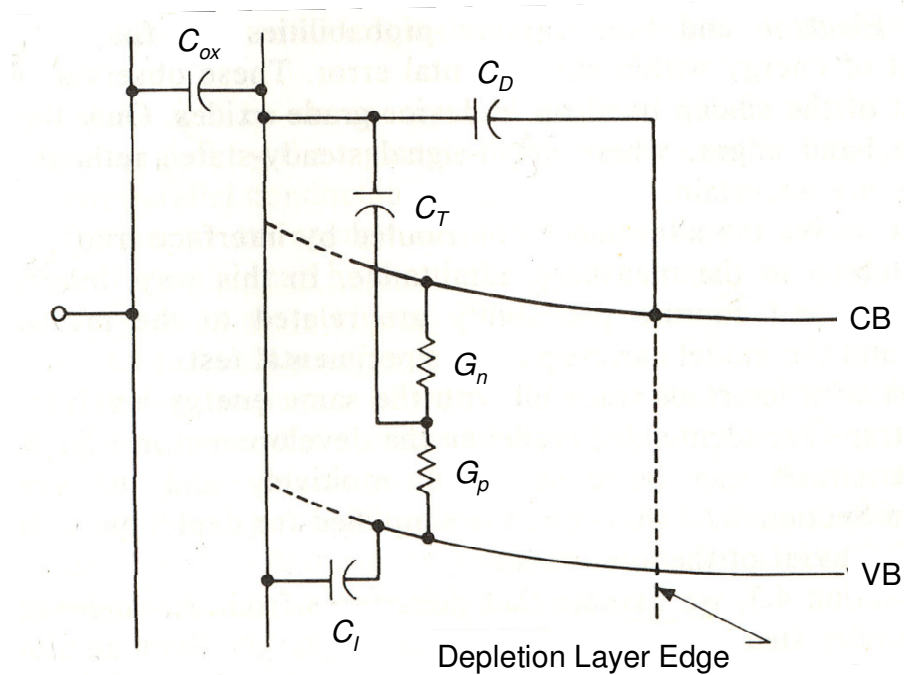


図:3.4 界面準位を含んだ MOS キャパシターの等価回路 [3.5]

C_T はトラップによる容量成分で、 G_n 、 G_p はそれぞれ電子とホールコンダクタンスを示している。

C_I は反転層容量である。

この回路網におけるアドミッタンスはシリコン基板部分のアドミッタンス Y_s と酸化膜部分のアドミッタンス $j\omega C_{ox}$ の和として書くことができる。

$$Y_s = j\omega C_D + G_n \left[j\omega (C_I + C_T) G_p + j\omega C_I j\omega C_T \right] \left\{ j\omega (C_I + C_T) G_p + j\omega C_I G_n + G_n G_p + j\omega C_I j\omega C_T \right\}^{-1}$$

(3.1)

以下では簡単のため、エネルギー準位 E_T が全てのトラップサイトで同一の場合を仮定する。この場合にはShockley-Read-Hall(SRH)の定式化[3.5]にしたがって比較的単純に議論できる。またACの小信号を加えても熱平衡状態からのずれは小さいという線形応答近似が成立すると仮定する。

熱平衡状態では界面準位の占有確率 (occupancy probability) $f_o(E_T)$ はフェルミ関数によって表される。 g は縮退度である。

$$f_o(E_T) = 1 / (1 + g \cdot \exp[(E_T - E_F) / k_B T]) \quad (3.2)$$

SRHの理論によれば、 N_T をトラップの面密度とし、 c_n, c_p は電子とホールのかapture probability ($\text{cm}^3 / \text{sec.}$)、 n_s, p_s はelectronとホールの表面における数密度(cm^{-2})とすると図3.4のMOSキャパシターの等価回路における容量やコンダクタンスは以下ようになる。

$$\left. \begin{aligned} C_T &= \beta q N_T f_o (1 - f_o) \\ G_n &= \beta q N_T c_n n_s (1 - f_o) \\ G_p &= \beta q N_T c_p p_s f_o \\ \beta &= \frac{q}{k_B T} \end{aligned} \right\} \quad (3.3)$$

ゲート電圧 V_g が空乏領域 ($V_{FB} < V_g < V_t$)にあるときには多数キャリアの寄与が大きくなる。またこの場合には N_I を反転層中の少数キャリアの数密度とすると反転層容量 C_I は $C_I = \beta q N_I$ 、かつ $N_I \ll N_T$ と書けるので、 $C_I \ll C_T$ の条件を満たす。したがって(3.1)式のアドミッタンス Y_s は以下の様にあらわされ、図3.4の等価回路も簡単になる。

$$Y_s = j\omega C_D + j\omega C_T G_n [G_n + j\omega C_T]^{-1} \quad (3.4)$$

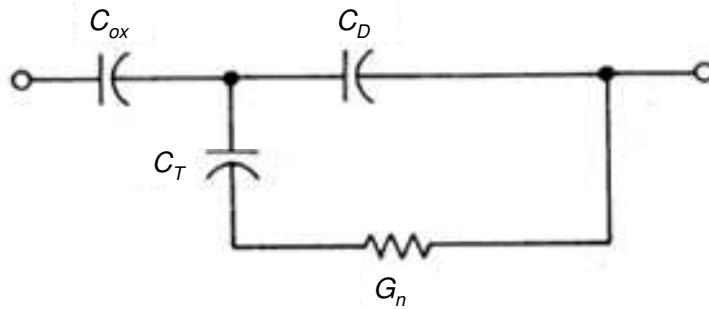


図 3.5 空乏領域における MOS キャパシターの等価回路

単一レベルのトラップ準位を仮定するので、この等価回路におけるパラレルコンダクタンス G_p と capacitance C_p は以下の様になる。

$$\frac{G_p}{\omega} = \Re e \left\{ \frac{Y_s}{\omega} \right\} = \frac{C_T \omega \tau}{1 + (\omega \tau)^2} \quad (3.5)$$

$$C_p = \Im m \left\{ \frac{Y_s}{\omega} \right\} = \frac{C_T}{1 + (\omega \tau)^2} + C_D \quad (3.6)$$

$$\tau \equiv \frac{C_T}{G_n} = \frac{f_o}{c_n n_s}$$

ここでこれらの式が表す物理的な意味を考える。

まず(3.6)式において、 $\omega \tau \sim 0$ の低周波領域の時にはキャリアのトラップ（もしくはトラップからキャリアが放出されるデトラップ）は外部から印加された低周波のAC電圧に対して応答できるため、実効的に見える容量 C_p はほとんど $C_T + C_D$ に等しくなる。すなわち、図3.5の系自体が容量のみとみなせるため、パラレルコンダクタンス G_p/ω は小さい。次に $\omega \tau$ が大きくなって高周波領域に入ってくると、トラップされる電荷の応答はAC電圧の変化に対して追従できなくなる。すると容量 C_p の値は小さくなっていき、 $\omega \tau \sim \infty$ の極限では(3.6)式より $C_p \sim C_D$ となる。

一方で(3.5)式の G_p/ω の方の周波数応答を見ていくと、最初は $\omega \tau$ に比例して大きくなっていくが、さらに $\omega \tau$ が大きくなっていくと、印加されたAC電圧に対して追従できなくて位相が遅れたAC電流成分が容量以外の成分として見えるようになる。（つまりインピーダンスのうち、位相が -90° 以外の成分として見えてくる。） G_p/ω は1周期の間にトラップされるか、もしくはトラップから外れる電荷量に比例するが、周波数が速くなってくるとトラップ時間で決まる周期とタイミングがずれてくる。例えばゲート電圧は上がってきて(相対的にフェルミレベルは下がっていくのに) 電子がトラップされたままだったり、ゲート電圧が下がって(フェルミレベルは上がっていくのに) トラップから電子が放出されることになる。 $\omega \tau$ の高周波の極限では一周期にわたって電子をトラップしたままのサイトが出てくるのでこの応答値の絶対値自身が小さくなる。したがってこの G_p/ω はある時定数 $\omega \tau$ のところでピーク値 $\langle G_p/\omega \rangle_{\text{peak}}$ を持つことになる。

この時の $\langle G_p/\omega \rangle_{\text{peak}}$ はゲート電圧が空乏領域にある場合には(3.5)式を $\omega \tau$ の関数とみなすと、 $\omega \tau = 1.0$ の時に最大値を取ることがわかるので、ピーク値に関して以下が成り立つ。

$$\left\langle \frac{G_p}{\omega} \right\rangle_{\text{peak}} = \frac{C_T}{2} \quad (3.7)$$

さらに全てのトラップが単一時定数で、かつバンド中の準位が同じであるという最も簡単化された近似の下で、界面準位密度 D_{it} を表すと以下の様になる。

$$D_{it} = \frac{C_T}{qA} = \frac{2\langle G_p / \omega \rangle_{peak}}{qA} \quad (3.8)$$

ここで A は測定するキャパシターの面積である。実際にはトラップの時定数は単一でも、バンド中に準位の分布を持つと考えるのが妥当で、その場合には(3.5)式は以下の様に拡張される[3.5]。

$$\frac{G_p}{\omega} = C_{it} \frac{1}{2\omega\tau_n} \ln[1 + (\omega\tau_n)^2] \quad (3.9)$$

したがってこの式の最大値をとる $\omega\tau$ を求めて、界面準位密度 $D_{it} = C_{it} / qA$ との関係を記すと

$$D_{it} = \frac{\langle G_p / \omega \rangle_{peak}}{0.40 \cdot qA} \quad (3.10)$$

$$\omega\tau_n = 1.98 \quad (3.11)$$

となることが数値計算により示される。このようにして実験的に求められたパラレルコンダクタンスのピーク値から界面準位密度 D_{it} を近似的に求められる。

界面準位密度はC-V特性測定の結果からも算出できる[3.5]。先にも述べたように、界面準位にトラップされる電荷が十分応答できるような低周波数で測定された容量を C_{LF} とし、逆に界面準位の電荷が追従できないくらい高周波で測定された容量を C_{HF} とする。これは既に述べた様に図3.5において低周波極限と高周波極限においてはトラップによるコンダクタンス G_n が無視できるので以下の関係が成立する。

$$\frac{1}{C_{LF}} = \frac{1}{C_{ox}} + \frac{1}{C_D + C_T} \quad (3.12)$$

$$\frac{1}{C_{HF}} = \frac{1}{C_{ox}} + \frac{1}{C_D} \quad (3.13)$$

これらを組み合わせると界面準位による容量値 C_T は以下の様に記述される。

$$C_T = \left(\frac{1}{C_{LF}} - \frac{1}{C_{ox}} \right)^{-1} - \left(\frac{1}{C_{HF}} - \frac{1}{C_{ox}} \right)^{-1} \quad (3.14)$$

したがって界面準位密度 D_{it} は

$$D_{it} = \frac{\Delta C}{q} \left(1 - \frac{C_{HF} + \Delta C}{C_{ox}} \right)^{-1} \left(1 - \frac{C_{HF}}{C_{ox}} \right)^{-1} \quad (3.15)$$

$$\Delta C = C_{LF} - C_{HF}$$

と表現できる。この低周波と高周波によって測定された容量値を組み合わせると、基板の不純物プロファイルの詳細が不明でも空乏層容量 C_D の値はキャンセルされるので D_{it} が比較的簡単に算出できる。

一方、この手法の問題点は実験的に求めた容量同士の引き算の精度にあり、これにより検出限界が決まる。したがって比較的小さな D_{it} （例えば $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 台の値）の場合は正確な値を求められない。特に低周波領域での容量測定は一般に測定精度が落ちたり、ノイズの影響を受けたりするためこの引き算の精度を上げることが課題となる。

これらのC-V特性が得られればフラットバンド電圧 V_{FB} や表面ポテンシャル ψ_s などを計算できる。例えば界面準位にトラップされた電荷がつくる電場により、実際のC-V特性は（界面準位が無視できる）理想的なC-V特性とある量 ΔV_{g0} だけゲート電圧がシフトする。そのシフト量と V_{FB} とは次式の関係がある[3.5]。

$$\Delta V_{g0} = \int_0^{V_{FB}} dV \frac{\{1 - C_{LF}(V)/C_{ox}\}}{\{1 - C_{HF}(V)/C_{ox}\}} \quad (3.16)$$

MOSキャパシタの理想的な C - V 特性はゲート絶縁膜厚 T_{ox} や基板濃度 N_{sub} を既知として計算できる。これから実測された C_{HF} - V_g 特性と理想的な C - V 特性とを比較してこのシフト量 ΔV_{g0} を求め、それと(3.16)式を数値的に積分して得られた ΔV_{g0} と一致させるようにして V_{FB} を求められる。

一方、表面ポテンシャル (band bending) Ψ_s をゲート電圧 V_g の関数として求めるには $\Psi_s(V_g=V_{FB})=0$ であることに注意が必要である。 Ψ_s と V_g は次の2つの式で関係付けられる[3.5]。ここで ϵ_s はシリコンの誘電率であり、 N_A はp型基板のアクセプター濃度である。

$$\Psi_s = V_{g0} + \frac{\epsilon_s q N_A}{C_{ox}^2} \left[1 - \left(1 + \frac{2 C_{ox}^2 V_{g0}}{q N_A \epsilon_s} \right)^{1/2} \right] \quad (3.17)$$

$$V_{g0} = \int_{V_{FB}}^{V_g} dV \frac{\{1 - C_{LF}(V)/C_{ox}\}}{\{1 - C_{HF}(V)/C_{ox}\}} - \frac{Q_s(0)}{C_{ox}} \quad (3.18)$$

ここで $Q_s(0)$ はband bendingがゼロの時の表面電荷量のことであり、基板が一様なドーピングがされていれば $V_g=V_{FB}$ において $Q_s(0)$ はもちろんゼロであるが、非一様ドーピングされたときは必ずしもゼロでない。今回作製した試料では十分な不純物の熱拡散をおこなっていて一様なドーピングに近いので以下の解析では $Q_s(0)$ をゼロと仮定した。

3.5 STI構造のトレンチ側面における界面準位密度の測定

STIにおけるトレンチ側面部の特性を直接調べるために、新たにトレンチキャパシターを作製して先に述べた D_{it} 測定などを行った[3.6]。用いたテストストラクチャーは本実験のために新たに十分注意して設計されたものであり、トレンチキャパシターを多数個のアレイ状にしたものである（図3.6）。

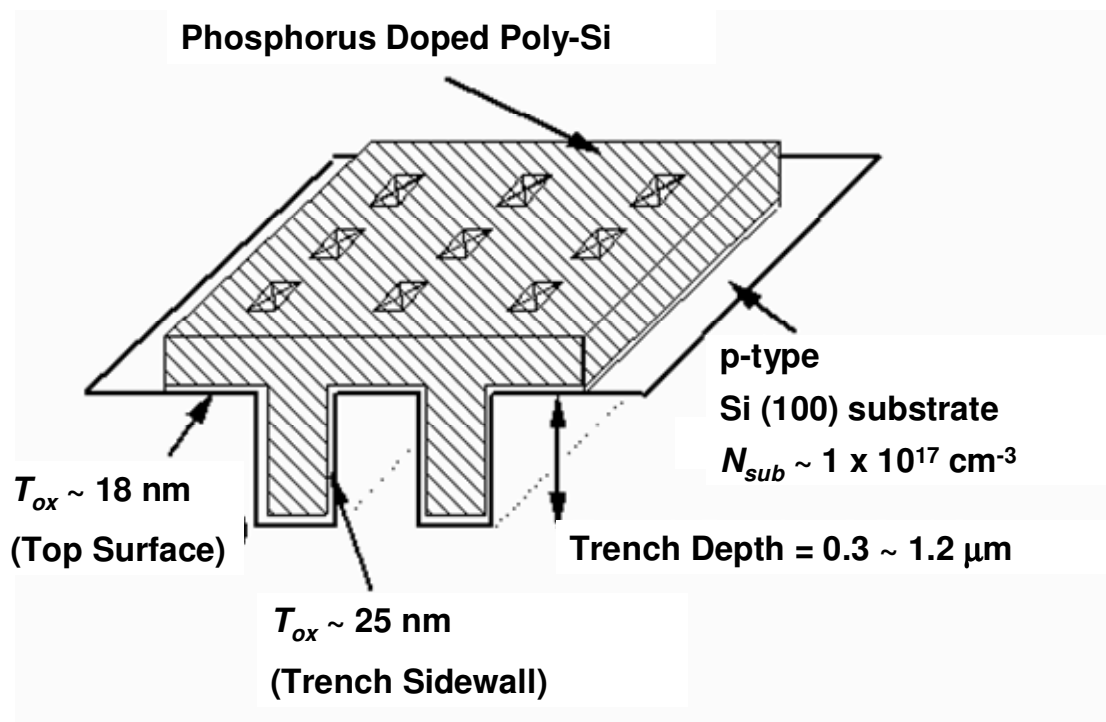


図 3.6 今回の実験に用いたテストストラクチャーの模式図
(トレンチキャパシターアレイ構造)

トレンチの深さは0.3～1.2 μmの間で変化させたものを4種類用意した。またシリコン基板の面方位がトレンチ上部とトレンチ側面部とで異なるため、同じ酸化条件を用いてもトレンチ側面部の方が1.4倍程度大きくなっている。

深いトレンチキャパシターの場合ではゲート電極が底面部で空乏化するのを避けるため、in-situ dopedのポリシリコンをゲート電極として用いて十分な不純物量がトレンチ底面部付近まで導入されるように工夫した。

使用した基板は(100)面のp型シリコンウェハーであり、基板の不純物濃度は約 $1 \times 10^{17} \text{ cm}^{-3}$ に設定した。トレンチの幅とトレンチ-トレンチ間距離はともに0.5 μmとなっていて、トレンチの深さは0.3 μm、0.5 μm、0.7 μm、1.2 μmの4種類を用意した。

これらの加工はHBr(臭化水素)を用いたRIEによって形成されており、RIE後にはゲート酸化膜となるライナー酸化膜をトレンチ側面の(110)面上で約2.5 nm相当の厚さに形成した。トレンチ側面上は実際にはRIE加工時にテーパ角がついており、加工されたトレンチ側面の角度が必ずしも90°とはなっていないため(110)面の清浄面が出るわけではない。トレンチRIEと酸化膜形成後、リンをin-situにドーピングしたポリシリコンをゲート電極材料としてこのトレンチに埋め込んでいる。これはゲート電極の空乏化を防ぐため、深いトレンチの底面部にまでポリシリコン中の不純物濃度を高める必要があるという理由でこのドーピング方法を採用した。最後にヘリウムガスに10%の水素を含むフォーミングガ

ス(Forming gas: FG)中でのアニールを450℃、15分の条件で行って試料を完成させた。

これらの試料に対して、multi-frequency LCR meter (HP-4284Aなど) を用いてQuasi-static C-V測定、高周波C-V測定(～1.0 MHz)、そして測定周波数を可変したZ- θ 測定(Impedance 測定)などによりトレンチ側面部の界面特性を評価した[3.5]。特に3.4節で述べたパラレルコンダクタンス法を用いて界面準位の時定数 τ と捕獲断面積 σ を評価した。

これらの評価を行う際に注意すべき点は前述したように、テストストラクチャーの作製時の寄生抵抗の低減である。本研究で用いたテストストラクチャーではゲート電極領域と基板領域にコンタクト領域と金属配線領域を多用して、それぞれの直列寄生抵抗の低減を図った。さらにAppendixで述べる寄生抵抗の補正を行うことで高周波C-V測定とZ- θ 測定における測定誤差を低減した。

図3.7は深さの異なる2種類のトレンチキャパシターアレイにおいて、Quasi-static C-V測定と高周波C-V測定を行った結果を示した。それぞれの測定結果はトレンチ側面部の容量とトレンチでない部分の基板表面部の容量、ならびにトレンチ底面部の容量が全て含まれる。ここで基板表面部の容量ならびにトレンチ底面部の容量はトレンチの深さが変わってもほぼ同じであると仮定すると、この両者の差をとればトレンチ側面部の容量のみを抽出できる。(その結果は図3.7の一番下の2本の曲線に示される。) 実際、深さの異なるトレンチキャパシターを用いて得られた容量、もしくはコンダクタンスの測定値がトレンチ深さに線形的に比例するのが観測されており(後述の図3.10参照)、深さの違う2種類のトレンチキャパシターの差分を取ってトレンチ側面の容量値やコンダクタンス値を議論できる。

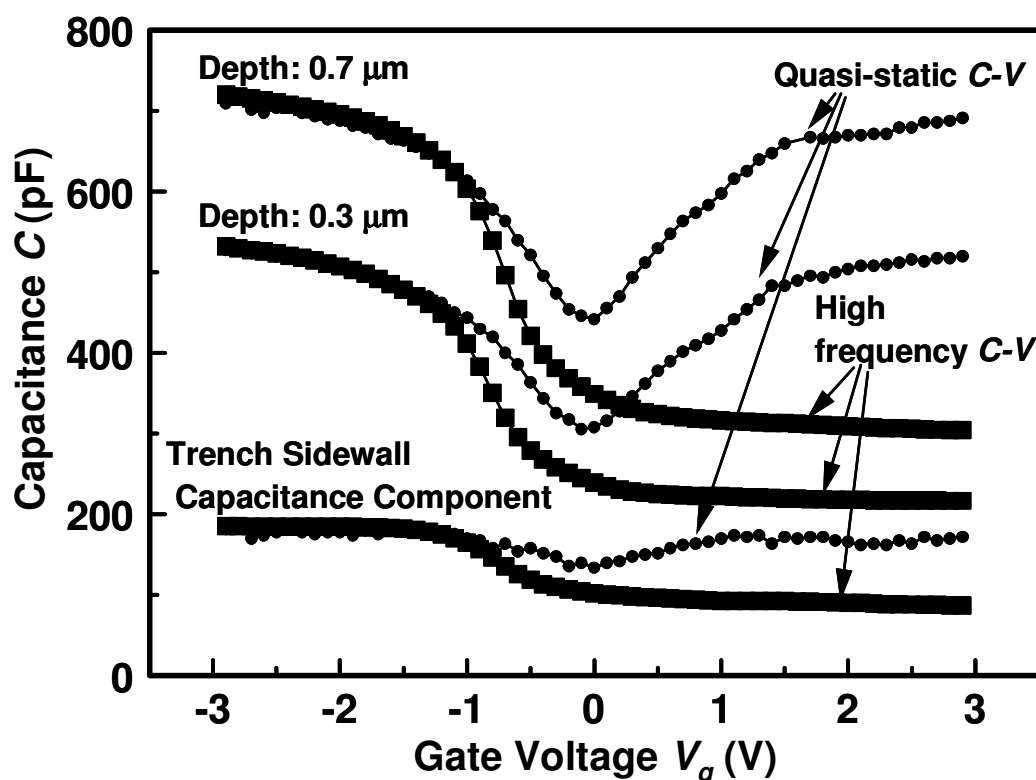


図 3.7 深さの異なるトレンチ キャパシターの Quasi-static C-V 特性
及び高周波 C-V 特性測定結果[3.6]

一番下部の曲線は深さの異なるトレンチキャパシターの測定値の差を取って
トレンチ側面の容量成分を抽出した特性を示している

これらのQuasi-static & 高周波C-V測定結果から3.4節で述べたようにフラットバンド電圧 V_{FB} 、表面ポテンシャル (=Band bending) ψ_s 、そして界面準位密度 D_{it} が得られる。図3.8は得られた D_{it} と表面ポテンシャルとの関係を示したものである。

トレンチキャパシターアレイにおけるトレンチ側壁部の場合にはミッドギャップ近傍において $D_{it} \sim 5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度の界面準位密度が観測されており、平面部に形成したキャパシターの場合に比べて数倍大きくなっていた。

これらのサンプルは既にフォーミングガスアニールによる水素パッシベーションを施して界面準位密度の低減を試みたが、この D_{it} の測定結果からはそれだけでは効果が十分でないとも言える。

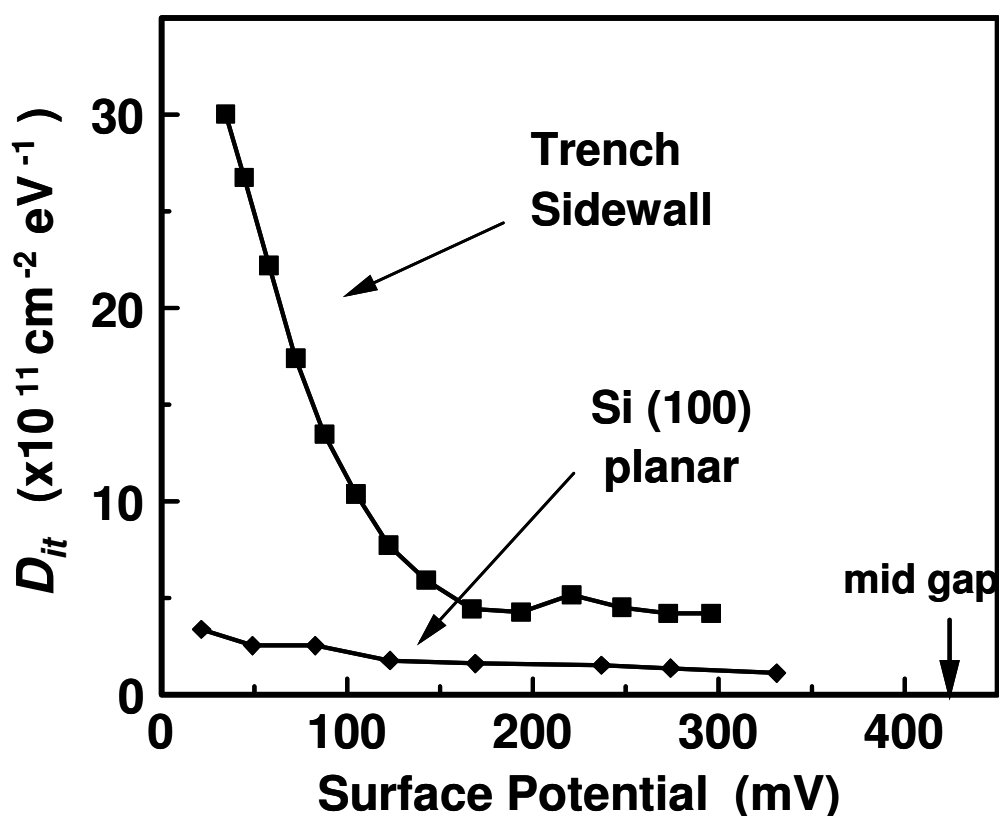


図 3.8 Quasi-static C-V と高周波 C-V 測定結果から得られた
界面準位密度と表面ポテンシャルの関係[3.6]

トレンチ側面部の場合においてに大きな界面準位密度が見られている。

次に3.4節で述べた様に、C-V測定とパラレル コンダクタンス測定によってこのトレンチ側面部のシリコン／シリコン酸化膜界面における D_{it} を評価した。(図3.9)

実際の測定はゲート電圧がdepletion regionにある時には図3.9に示されるような等価回路を仮定して界面準位密度に起因するアドミッタンス $Y_{it}(\omega)$ を周波数 ω の関数として求めた。ここでパラレル コンダクタンス G_p は $Y_{it}(\omega)$ の実部として表される。このパラレル コンダクタンスの V_g 依存性、もしくは周波数 ω の依存性によって界面準位密度 D_{it} 、トラップの時定数 τ 、捕獲断面積 σ などを求めることができる[3.4]。

このとき重要なのはゲート領域の寄生抵抗が十分低減されることであり、先にも述べたように今回はテストストラクチャーのデザインに工夫をしてコンタクト領域と金属配線を多用してゲート抵抗の低減を図った。(Appendix参照)

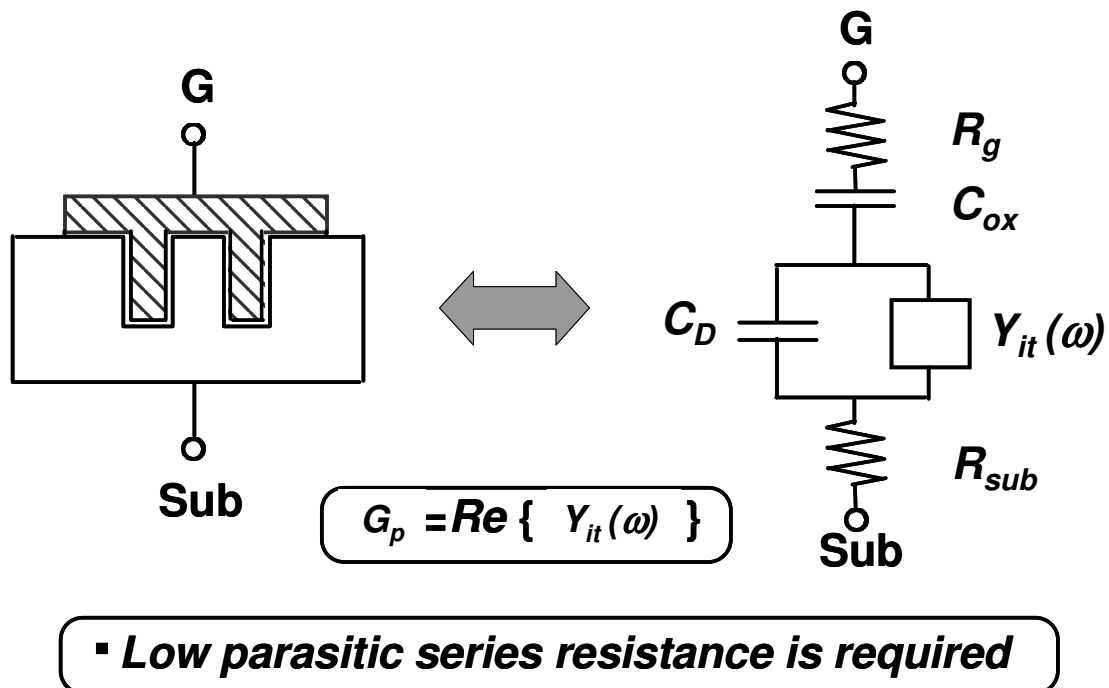


図 3.9 パラレル コンダクタンス測定による界面準位密度評価の等価回路[3.6]

実際にはゲート電極や基板に対して寄生抵抗を低減する必要があり、

コンタクト領域と金属配線領域を多用して低抵抗なテストストラクチャーを作製した。

図3.10は深さの異なる3つのキャパシタを用いて測定したパラレル コンダクタンス G_p をトレンチ深さに対してプロットしたものである。測定された G_p はトレンチ深さに線形に比例することがわかり、これによってトレンチ深さの異なるものの測定値の差を取る事によってトレンチ側面部の $Y_{it}(\omega)$ の寄与が計算できる。

図3.11は深さの異なる2つのトレンチキャパシタを用いてトレンチ側面成分を抽出し、 G_p/ω と測定周波数 $f = \omega / 2\pi$ の関係を示したもので、ゲート電圧 V_g をパラメーターとして空乏領域から蓄積領域にかけて変化させた場合を示した。このときの (G_p/ω) のピーク値が界面準位密度 D_{it} と関連し、ピーク値をとる周波数 $\omega(\omega_{peak})$ が界面準位の時定数 τ の逆数に相当する。

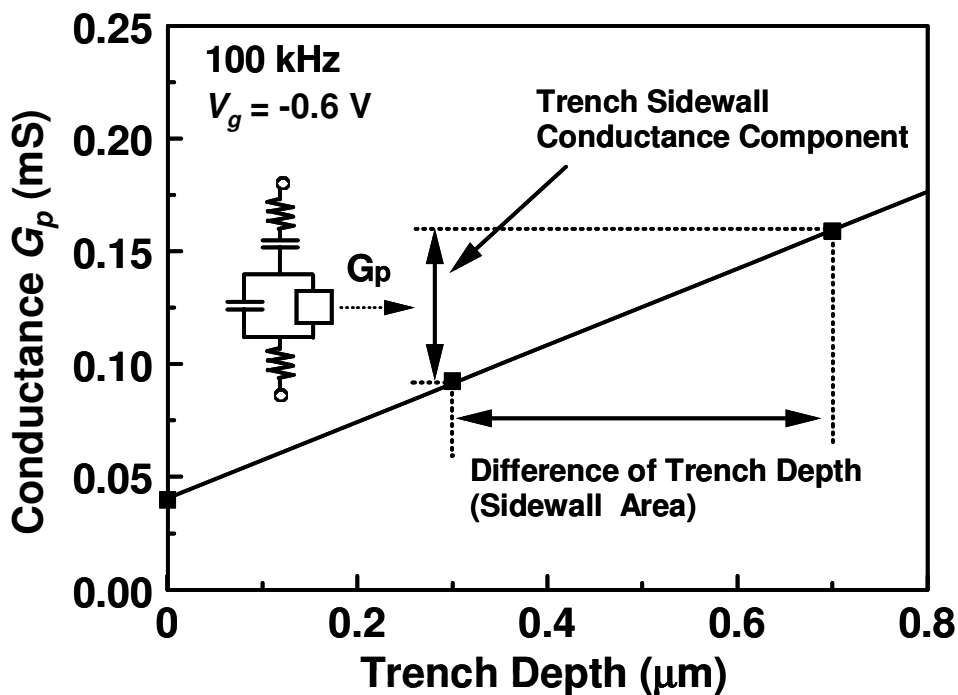


図 3.10 深さの異なるトレンチ キャパシターによるパラレル コンダクタンスの測定値
測定されたコンダクタンスはトレンチ深さと線形関係にある。

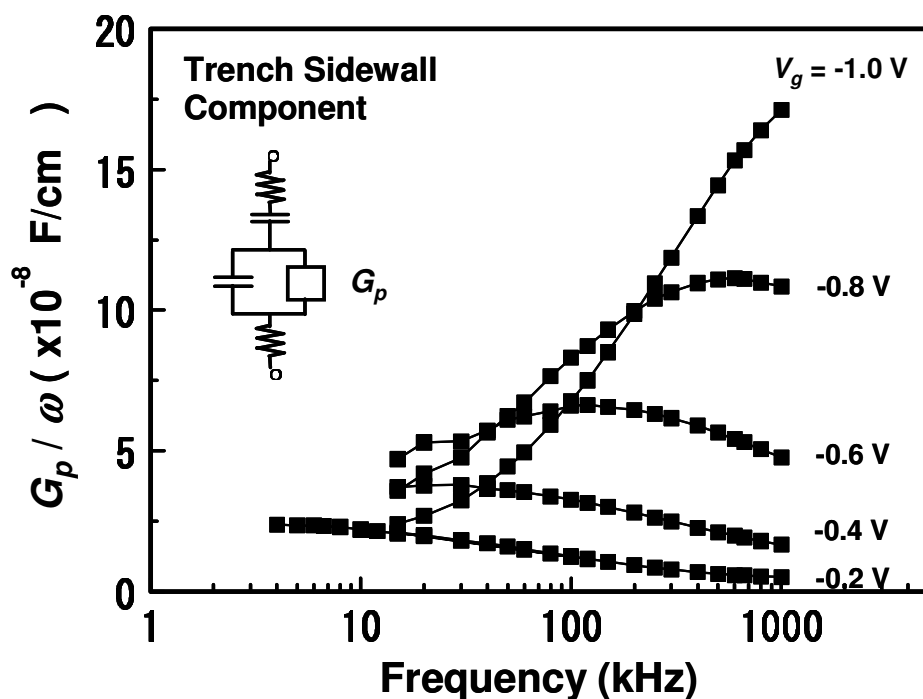


図 3.11 トレンチ キャパシター側面部における
パラレル コンダクタンスの周波数、及びゲート電圧依存性[3.6]

パラレルコンダクタンスのピーク値とピーク周波数は両方とも
ゲート電圧に依存し、界面準位の寄与があると考えられる。

図3.11ではピーク周波数 ω_{peak} がゲート電圧に依存して変化する現象が見られるが、これは界面トラップの近傍における多数キャリアの数が V_g で変調されるためである。また表面からみて空乏層幅よりも奥にあるようなバルクトラップに起因するものではない。図3.11の (G_p/ω) の曲線がもしバルクトラップに起因した周波数応答であったとすると、ゲート電圧による表面キャリア数の変調とは関係ないのでピーク周波数のゲート電圧依存性は見られないはずである。

図3.12にはピーク周波数の時定数 (~ 1.0 MHz) と band bending ψ_s の関係を示したものである。この関係を外挿することでmidgapにおける時定数 τ_m が得られ、その値をもってトラップの捕獲断面積 $\sigma (= 1 / (v_{thermal} \tau_m n_i))$ が計算できる。

今回の実験の場合、 $v_{thermal} = 1.0 \times 10^7$ cm / sec, $n_i = 1.45 \times 10^{10}$ cm $^{-3}$ を仮定すると $\sim 4.6 \times 10^{-17}$ cm 2 程度になる。また図3.8の結果からmidgap近傍では $D_{it} \sim 5 \times 10^{11}$ cm $^{-2}$ eV $^{-1}$ であるので、surface recombination velocity S は以下の式で見積もられ、

$$S (= \sigma v_{thermal} \pi k_B T D_{it}) = 18.2 \text{ cm / sec.} \quad (3.19)$$

となる。これは通常のシリコン / シリコン酸化膜界面の場合の約1桁大きい値となっていて[3.5]、これがSTI構造でつくられたp-n接合のリーク電流の周辺長成分が大きかったことに寄与していたものと考察される。

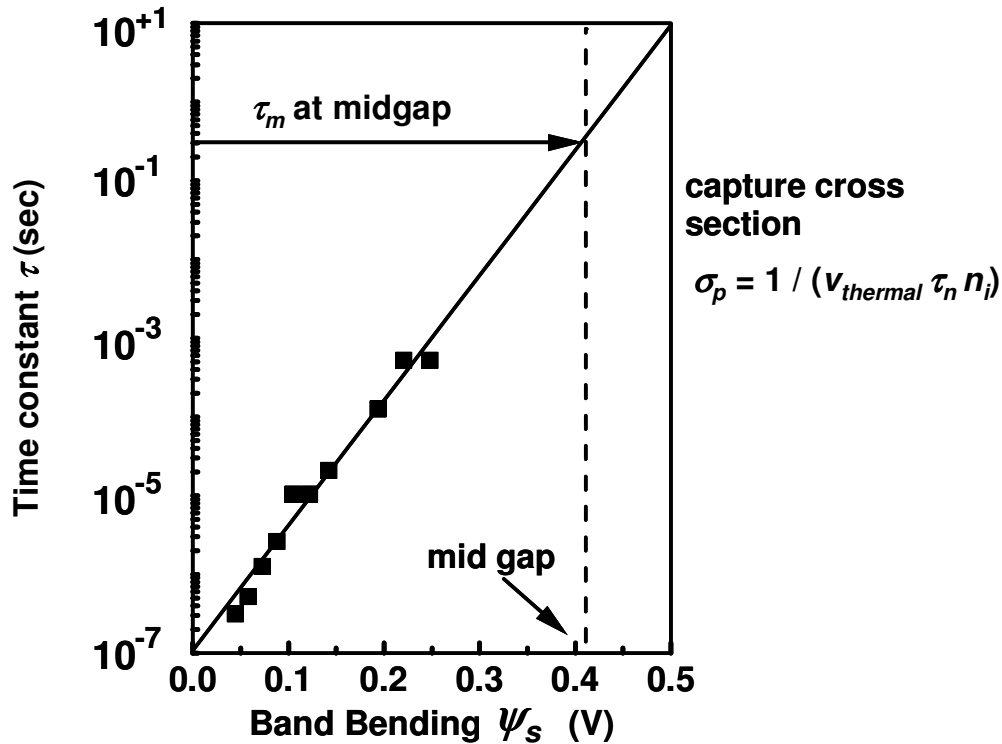


図 3.12 測定された Band Bending ψ_s と時定数 τ との関係

ゲート電圧を変えて測定したパラレル コンダクタンスのピーク値をとる周波数から時定数を求め、それを外挿することで midgap における時定数がわかる。さらにこの値から捕獲断面積 σ_p を計算できる。

3.6 水素パッシベーションによる接合リーク電流低減の試み

接合リーク電流に何らかの悪影響を及ぼすと考えられる界面準位密度がSTIにおけるトレンチ キャパシターの側面部で増大することを前節までに確認した。そこでさらなる接合リーク電流の低減を目指して、この界面準位の水素によるパッシベーションを試みた。しかしながら従来から水素パッシベーションとして用いられるフォーミングガスアニールは既に施してあるため、さらに別の方法で水素を導入する必要がある。ここではplasma-assisted CVDによるSiN（以下p-SiNと略す）をデバイスのパッシベーション膜として堆積した後、アニールすることで更なる水素パッシベーションを試みた（図3.13）。p-SiNには水素が20 atomic %以上含有されることが知られており、FGアニールよりも水素濃度が高い。

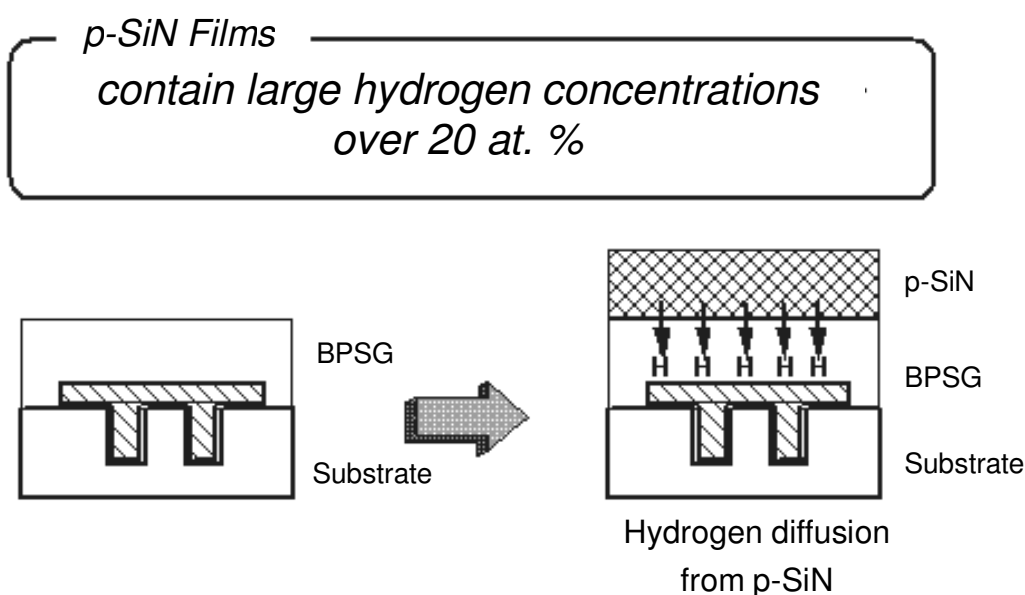


図 3.13 plasma-assisted CVD SiN(p-SiN)による水素パッシベーション[3.6]

plasma SiN には 20%以上水素が含まれているといわれており、
フォーミングガスアニールより効果的に水素を導入できる。

図3.14は周辺長の長い n^+/p 接合ダイオードにおいて、p-SiNのCVDとアニールの有無による接合リーク電流の違いを比較したもので、確かにp-SiNのCVDを行ってアニールした試料において接合リーク電流が大幅に改善された。

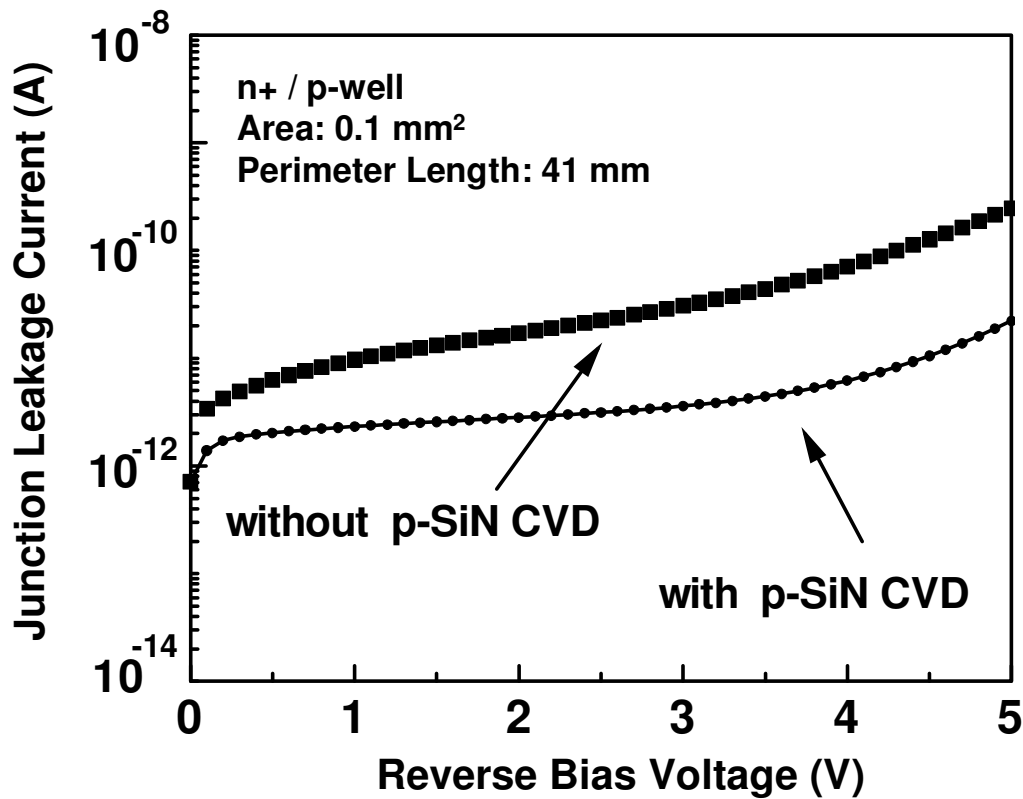


図 3.14 p-SiN CVD とアニールを組み合わせた
水素パッシベーションによる接合リーク電流低減効果[3.6]

次にこの試料において前節と同様にパラレルコンダクタンスの周波数依存性を測定した。結果を図 3.15 に示す。図 3.11 の場合と比較すると明らかであるが、p-SiN を適用したサンプルにおいてはピーク値をとる周波数 ω_{peak} がゲート電圧 V_g によらずほぼ一定であることがわかる。これは前述したように、この接合リーク電流が低減されたサンプルにおいては、界面準位密度に起因する G_p / ω の周波数応答が観測されないことを意味し、 D_{it} 自体が十分低減されていて観測されないことを示す。

通常このパラレルコンダクタンス法による D_{it} の検出感度は $D_{it} \sim 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ であると言われており、今回の p-SiN による水素パッシベーションで D_{it} が少なくとも $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度以下の値にまで低減されたと推測される。したがって界面準位密度の低減と接合リーク電流の低減にこの p-SiN を用いた水素パッシベーション法が有効であることが本実験を通じて直接的にも間接的にも確かめられた。

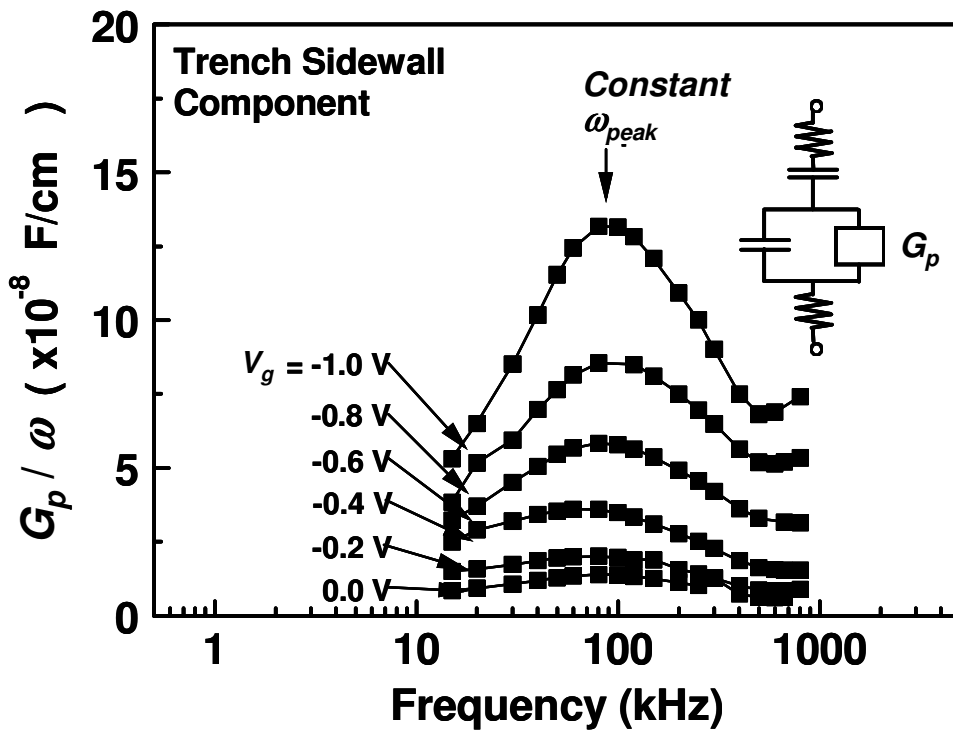


図 3.15 p-SiN による水素パッシベーション後の試料における
平行コンダクタンスの周波数依存性[3.6]

図 3.11 の場合と対照的に界面準位密度が十分低減されたため、ピーク
周波数が V_g を変化させてもほぼ一定値を取ることが観測されている。

界面準位密度が十分低減された後に残ったものはバルク中のトラップであると推測できる。

図3.16は単一のバルクトラップレベル E_T が形成されたと仮定して、フェルミレベル E_F との関係を示したバンド図である[3.5]。cross over point X_c (=フェルミレベルがバルクトラップレベルと交わる点) を見ると、ゲート電圧が変化した場合でも空乏層端から X_c までの距離 L は一定値を取り、その点でのエネルギーレベルは常に E_F であるのでホールも電子も密度にゲート電圧依存性を持たない。外部から周波数掃引したときの応答は E_F 近傍に存在するキャリアの寄与で決まるため、バルクトラップの分の応答周波数 ω_{peak} はゲート電圧 V_g によらず一定になる[3.5]。

一方で G_p/ω が単一準位のバルクトラップによるものと仮定するならば、 V_g によって G_p/ω の周波数応答のピーク値（振幅）が変わることは、一番簡単化した近似においては基板中のバルクトラップの深さ方向の密度分布と関連がある。例えば図3.16に示したバンド図において、

$$L \gg X_c \quad (3.20)$$

$$C_D / C_{W,Xc} \sim 1 \quad (3.21)$$

という仮定を置くと G_p/ω のピーク値と V_g の関係からこの密度分布が計算できる。これらの条件は十分薄い不純物濃度の基板を考え、印加されるゲート電圧が空乏領域にあって十分小さく、かつ空乏層容量とバルクトラップの作る容量が同じくらいの大きさであるという意味である。

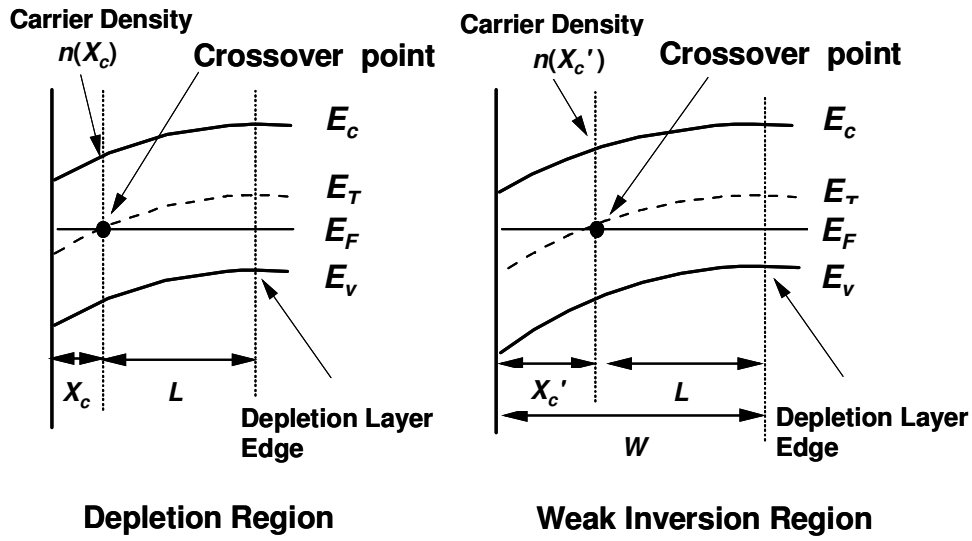


図 3.16 バルクトラップレベル E_T と E_F との Cross over point X_c の説明図 [3.5]

図3.16中の深さ X_c にあるバルクトラップの形成する容量 C_{bt} とこのピーク値とは(3.22)式で関連付けられ、さらにこの C_{bt} は X_c 点におけるband bendingと以下の式で関連付けられることがわかっている[3.5]。

$$\left\langle \frac{G_p}{\omega} \right\rangle_{peak} = \frac{C_{bt}(X_c)}{2} \quad (3.22)$$

$$C_{bt}(X_c) = \sqrt{2} \cdot C_D \cdot \left(\frac{n_T(X_c)}{N_A} \right) \left(\frac{1 - v_T}{u_B} \right)^{-1/2} \quad (3.23)$$

ここで C_D は空乏層容量 ($=\epsilon_{Si}/L$, L : 空乏層幅 depletion layer width)、 v_T はバルク中のintrinsic levelを基準にしたトラップの作るポテンシャルレベル、 u_B は同じくバルク中のintrinsic levelを基準にしたフェルミレベルを表す。

この時のband bendingの絶対値は $(u_B - v_T)$ で記述される。この分だけbandが曲がっているシリコン領域の長さ、つまり図3.16における $(L - X_c)$ は λ_n を基板中のデバイ長として次の式で表されることを(3.23)では用いた。

$$L - X_c = \sqrt{2} \cdot \lambda_n \cdot (u_B - v_T)^{1/2} = \frac{L}{\sqrt{2}} \cdot \left(1 - \frac{v_T}{u_B} \right)^{1/2} \quad (3.24)$$

これらの関係式により、実際にバルクトラップの位置と密度の関係を求めるには

- (1) まず酸化膜厚とバルク基板中のドーパント濃度を既知として各ゲート電圧印加時の空乏層容量 C_D と X_c の位置とを計算する。
 - (2) 次に図3.15の結果から $\langle G_p/\omega \rangle_{\text{peak}}$ を求め、そこから(3.22)式により C_{bt} の実測値を得る。
 - (3) したがって(3.23)式から $n_T(X_c)$ と X_c の定性的な関係としてバルクトラップ深さとバルクトラップ密度の関係をj得る。
- という手順を踏んでいる。

さらに計算には簡単のため、“トラップレベルがmidgapに近くてほとんどintrinsic levelだとすると $v_T \sim 0$ として良い” という近似を用いた。

図3.17は図3.15の場合の素子のトレンチ側面部における深さとトラップ密度の関係を定性的に示したものであり、これからトラップの位置は表面から25 nm以内にあることがわかった。またバルクトラップが全てミッドギャップ近傍に存在すると仮定するとこのトラップの総数は（深さ方向に積分して） $\sim 10^{16} \text{ cm}^{-3}$ のオーダーであるが見積もることができる。そうするとバルクトラップによる捕獲断面積は約 $5 \times 10^{-18} \text{ cm}^2$ 程度であり、 D_{it} が多かった最初のSTIを形成した試料の場合における捕獲断面積の約1桁低い値であるが見積もられる。したがってこの概算からバルクトラップの接合リーク電流に対する影響は少ないと考えて差し支えないことが導かれる。

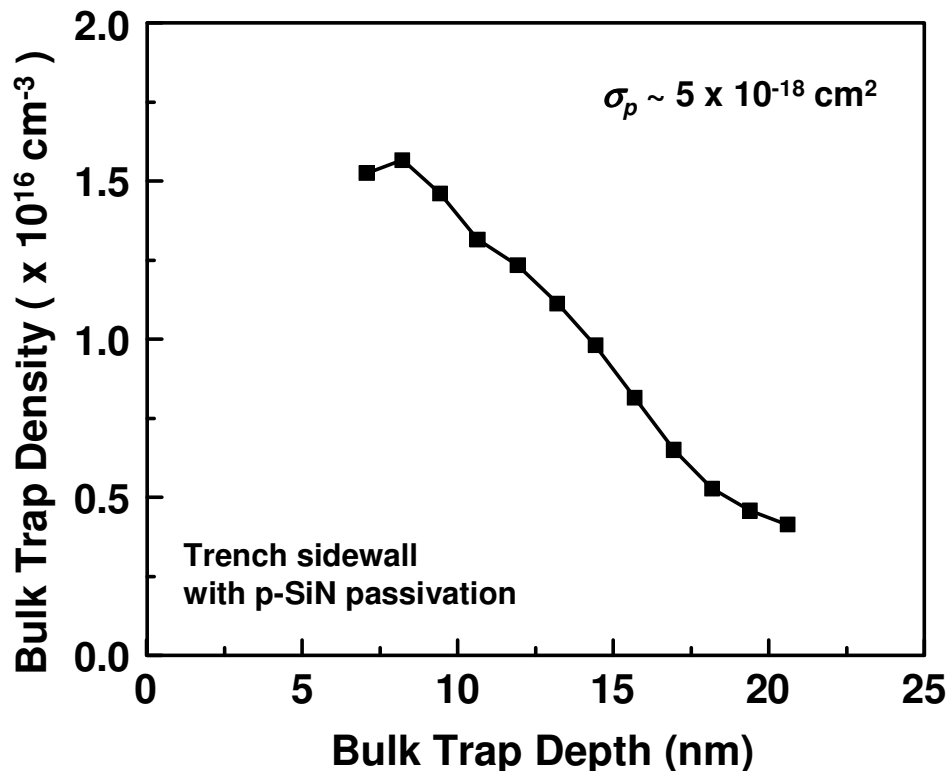


図 3.17 測定値から概算されたバルクトラップの深さ方向分布

トラップ分布を深さ方向で積分しても総量としては 10^{16} cm^{-3} のオーダーであるが見積もることができる。

これより bulk トラップによる捕獲断面積は約 $5 \times 10^{-18} \text{ cm}^2$ 程度であり、界面準位によるものに比べておよそ1桁小さい。

3.7 第 3 章のまとめ

STI構造のトレンチ側面部の界面準位密度を直接測定する方法を提案し、それによってSTI構造における接合リーク電流の周辺長成分に対するトレンチ側面部の界面準位の影響を明らかにした。

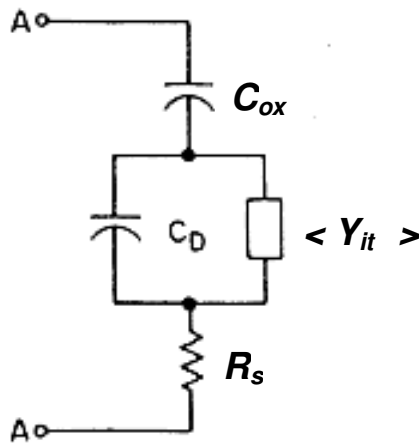
この評価法により、トレンチ側面部では D_{it} が大きく、キャリアの表面生成・再結合速度が増大し、その結果接合リーク電流が増大していたことがわかった。

さらにplasma-assisted CVDによるSiNを堆積して水素パッシベーションを施すことにより、STI構造におけるトレンチ側面部の界面準位密度が低減し、接合リーク電流の周辺長成分の低減が実現可能であることを本手法により初めて確認した。

3.8 Appendix

実際のコンダクタンス測定においては、シリコン基板部の抵抗値が高い場合はこれを補正しないと正しいequivalent パラレルコンダクタンス G_p が求まらない。それには次のような補正を必要とする[3.4]。

まずバイアス電圧を強蓄積側にして、インピーダンス測定を行い、これから C_{ma} と G_{ma} を求める。suffixの"ma"はaccumulation領域での測定値(measured value)であることを示す。この時、寄生抵抗を含む等価回路を仮定して計算すると酸化膜容量 C_{ox} と直列寄生抵抗 R_s は次の式で書くことができる。



$$C_{ox} = C_{ma} \left[1 + \left(\frac{G_{ma}}{\omega C_{ma}} \right)^2 \right] \quad (3.A.1)$$

$$R_s = \frac{G_{ma}}{G_{ma}^2 + \omega^2 C_{ma}^2}$$

図 3.A.1 寄生抵抗を考慮した場合の等価回路

今回測定したTEGの場合、典型的な寄生抵抗の値は500~1000 Ω であり、かなり大きな量であった。次に測定したいバイアス電圧にして、インピーダンスを測定して G_m と C_m を求める。これらの値を用いて寄生抵抗を補正すると図3.A.1の等価回路の容量とコンダクタンスは以下の様になる。ここでもsuffixの"m"でmeasured、"c"でcorrectedを示すことにする。

$$C_c = \frac{(G_m^2 + \omega^2 C_m^2) C_m}{a^2 + \omega^2 C_m^2}$$

$$G_c = \frac{(G_m^2 + \omega^2 C_m^2) a}{a^2 + \omega^2 C_m^2} \quad (3.A.2)$$

$$a \equiv G_m - (G_m^2 + \omega^2 C_m^2) R_s$$

以上の補正を行わなかった場合には、今回の実験でゲート電圧依存性や周波数依存性を測定する際にピーク値をもつ形にならない場合があった。したがって寄生抵抗に十分注意してTEGを設計し、またwellコンタクト領域をうまく配置して低抵抗になるようにすると同時に、これらの補正を行う必要があることがわかった。

さらにここから酸化膜容量のリアクタンスを引き去ることによって目的のequivalent パラレルコンダクタンスが次式の様に求められることになる。

$$\frac{G_p}{\omega} = \frac{\omega C_{ox}^2 G_c}{G_c^2 + \omega^2 (C_{ox} - C_c)^2} \quad (3.A.3)$$

今回の一連の実験の前に類似のテストストラクチャーを用いて予備実験を行った際に、周波数が高い領域においてはゲート抵抗によるRC遅延の影響で実効的な酸化膜容量 C_{ox} が小さく見えていた。これはゲート電極がもつゲート抵抗の影響で2次元の分布定数回路としてRC遅延時間を持つために、高周波信号がゲート電極の隅々まで届かず、実効的にゲート電極の面積が小さくみえることに相当する。そこで今回はなるべくゲート電極領域にもコンタクト領域を多数個配置して見かけ上のゲート抵抗を低減するような工夫をした。

第 3 章の参考文献

- [3.1] T. Shibata, R. Nakayama, K. Kurosawa, S. Onga, M. Konaka, and H. Iizuka, "A simplified box (buried-oxide) isolation technology for megabit dynamic memories", *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 27-30, (1983)
- [3.2] B. Davari, C. Koburger, T. Furukawa, Y. Taur, W. Noble, A. Megdanis, J. Warnock, and J. Mauer, "A variable-size shallow trench isolation (STI) technology with diffused sidewall doping for submicron CMOS," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 92-95, (1988)
- [3.3] K. Ishimaru, H. Gojohbori, H. Koike, Y. Unno, M. Sai, F. Matsuoka and M. Kakumu: "Trench Isolation Technology with 1 μm Depth n- and p-wells for A Full-CMOS SRAM Cell with a 0.4 μm n⁺/p⁺ Spacing," *1994 Symposium on VLSI Technology*, 8A-1, pp. 97-98, (1994)
- [3.4] F. Matsuoka, K. Ishimaru, H. Gojohbori, H. Koike, Y. Unno, M. Sai, T. Kondo, R. Ichikawa, and M. Kakumu, "High Density Full CMOS SRAM Cell Technology with A Deep Sub-Micron Spacing Between nMOS and pMOSFET", *IEICE Trans. on Electronics*, **E77-C**, p. 1385, (1994)
- [3.5] E. H. Nicollian and J. R. Brews, "*MOS Physics and Technology*", John Willy and Sons, (1982)
- [3.6] S. Inaba, M. Takahashi, Y. Okayama, A. Yagishita, F. Matsuoka and H. Ishiuchi, "Impact of trench sidewall interface traps in shallow trench isolation on junction leakage current characteristics for sub-0.25 μm CMOS devices," *1997 Symposium on VLSI Technology*, 9B-1, pp.119-120, Kyoto, Japan, (1997).

第 4 章 sub-0.25 μm pFET における 浅いソース/ドレイン エクステンション領域の寄生抵抗改善

4.1 第 4 章の概要

本章では、CMOS デバイスの微細化に必要な一要素であるソース／ドレイン部の浅い p-n 接合（Shallow Junction）の形成方法を議論する。特に形成困難な p 型 MOSFET における p-n 接合形成の問題点の提起、その原因の追求、ならびにそれを解決する一方法の提案を行う。

従来、p 型 MOSFET（以下 pFET と略）にはボロン（Boron、ホウ素）もしくは BF_2 のイオン注入によってソース／ドレイン領域の浅い p-n 接合形成が行われてきた。しかしながら浅い p-n 接合の形成には必然的にイオン注入エネルギーの低減が必要である。その一方でイオン注入エネルギーを低下させるとイオンビーム電流効率は劣化する。したがってイオン注入条件の最適化が必要である。

また特定の製造工程を経るとボロンの活性化濃度が低下し、ソース／ドレイン エクステンション部におけるシート抵抗が上昇し、所望の性能を達成しない場合が見出された。この現象について種々の物理分析を行った結果、絶縁膜堆積時に基板中に導入される水素がボロンを不活性化して、これが不純物拡散層のシート抵抗上昇の原因の一つになるという事実を発見した。

イオン注入のドーズ量は単位面積あたりに注入されるイオン数で定義するが、ある臨界ドーズ量以上のイオンを基板中に導入するとイオン注入時にシリコン基板がアモルファス化される。今回ボロンの不活性化とシリコン基板のアモルファス化の程度とは関連があることを発見した。またゲルマニウムを用いてあらかじめ積極的にシリコン基板をアモルファス化してからボロンを注入すると、ボロン拡散層のシート抵抗が低減される事実が新たに見出された。

これらを応用してイオン注入条件を最適化しながらゲート長 $0.15\ \mu\text{m}$ の pFET を試作し、結果的にゲルマニウムを用いたプリアモルファス化工程が短チャネル効果抑制や電流駆動力性能向上の手段として非常に有効であることがわかった。

4.2 本研究の背景

1994-95 年ころの学会等ではゲート長 $0.1\ \mu\text{m}$ クラスの CMOS デバイス試作や解析がなされていたが、短チャネル効果抑制と電流駆動力向上を同時に達成した例は少なかった。特に pFET に関しては、ソース／ドレイン（以下 S/D）に対して、LDD(Lightly Doped Drain)構造の採用[4.1][4.2]、低加速エネルギーイオン注入の適用[4.3]、不純物を含むガスからの気相拡散、またはゲート側壁からの不純物固相拡散による方法[4.4]などが提案されてきた。しかしながら、いずれも短チャネル効果を抑制すると S/D 部の寄生抵抗増大が見られ、電流駆動力が劣化する傾向にあった。将来にわたって CMOS デバイスのスケールアップを保持するためには、この寄生抵抗自体も世代が進むとともに小さくなるように改善しなければならない。（表 4.1 参照）

表 4.1 従来提案されていた浅い S/D 拡散層の形成方法の特徴

	項目	長所	短所
1	不純物濃度を低減した LDD 構造	・従来技術の応用なので簡単。	・接合を浅くするために不純物濃度を増大できない。したがってシート抵抗低減が困難。
2	不純物気相拡散	・浅い接合深さが達成可能。	・平衡状態の固溶限以上に不純物を導入できないため、低抵抗化が困難。
3	ゲート側壁からの不純物固相拡散	・浅い接合深さが達成可能。	・平衡状態の固溶限以上に不純物を導入できない。 ・固相拡散時に高温熱工程が必要。 ・nFET/pFETの作り分けが困難
4	極低加速エネルギーイオン注入による S/D エクステンション構造	・LDD 構造よりも不純物濃度を高めて拡散層抵抗低減が可能。	・イオン注入時のチャネリングの抑制が困難。 ・イオン注入電流効率低下に伴う生産性が劣化。
5	Si PAI + 低加速エネルギーイオン注入による S/D エクステンション構造	・LDD 構造よりも不純物濃度を高めて拡散層抵抗低減とチャネリングの抑制が可能。	・アニールすると Si が結晶格子間に残留し、その 2 次欠陥による接合リーク電流が増大。
6	Ge PAI + 低加速エネルギーイオン注入による S/D エクステンション構造	・本章で議論するように、 100nm 程度のゲート長を持つ FET 向けに浅くかつ低抵抗な不純物拡散層が形成可能。	・本章で議論するが、接合リーク電流増大の懸念がある。

特に $0.15\ \mu\text{m}$ 以下の世代では将来的にエクステンション部の接合深さ $X_j \sim 80\ \text{nm}$ を達成しつつ、同時に $1.0\ \text{k}\Omega/\square$ 以下の S/D 部シート抵抗の実現が電流駆動力向上に必要である。

本章では p-n 接合形成手段の主流であるイオン注入技術を適用した極微細 MOSFET 形成プロセスの

指針について議論する。以下では浅い p-n 接合形成に対するいくつかの阻害要因を解析した結果を述べ、抵抗上昇の原因について報告する。さらにゲルマニウム（以下 Ge）を用いたシリコン（以下 Si）基板のプリアモルファス化と低加速ボロンイオン注入による浅い接合形成技術を CMOS プロセスへ適用した結果も議論する。基板のプリアモルファス化とは、ドーパントのイオン注入前に基板をアモルファス化し、イオン注入に対する阻止能を高めてイオンのチャネリングを低減して浅い接合を形成する技術である。

Ge による基板プリアモルファス化と BF_2 イオン注入を用いてエクステンション部の p^+ 浅い接合を形成する利点は以下のようなことが挙げられる[4.5-4.6]。

(1) BF_2 のイオン注入時に生じるボロンのチャネリングを基板のアモルファス化で防止でき、浅い拡散層が形成できる。したがってイオン注入エネルギーを比較的高く設定でき、イオン注入電流効率の劣化を最小限にできる。

(2) Si 原子によるアモルファス化プロセスに比較して Ge を用いたアモルファス化は Si 基板中の二次欠陥の発生が少なく、熱工程が RTA(Rapid Thermal Annealing)だけでも結晶性が回復する。したがって、p-n 接合リーク電流特性が十分低減される。ここで二次欠陥とはイオン注入時に導入される微小欠陥が熱工程などを経て再結晶化する際に大きな欠陥（結晶転位）に成長することを指す。

上記のように浅い接合形成上での基板プリアモルファス化の利点については既にいくつかの報告が出されていた。しかし、本研究を開始した時点では MOSFET における寄生抵抗の低減が不十分で、S/D エクステンション部の形成条件が最適化されておらず電流駆動力等の性能は改善の余地があった。

そこで S/D エクステンション構造を採用した $0.15\ \mu\text{m}$ CMOS の試作を行い、pFET に関してエクステンション部の不純物濃度を従来の LDD 構造よりも高めて（peak 濃度で $\sim 10^{20}\text{ cm}^{-3}$ ）、Ge による基板プリアモルファス化の併用により低抵抗かつ浅い接合の形成を試みた。その結果、ゲート長 $0.15\ \mu\text{m}$ までの pFET において、短チャネル効果を抑制しながら同時に寄生抵抗も大幅に低減でき、この世代の S/D 形成は Ge プリアモルファス化と BF_2 低加速イオン注入との組み合わせで実現可能であると確認した。

本章では試作した pFET について、特に短チャネル効果や接合リーク電流特性を中心とした電気的な特性について議論し、寄生抵抗低減により電流駆動力が改善された結果について言及する。

4.3 ゲート側壁形成プロセスとS/D エクステンション部の寄生抵抗

MOSFETを微細化しながら同時に高性能化を達成するためには、「次世代のpFETの寄生抵抗をどこまで低減すればよいか？」という問いに答えなければならない。そのために、従来のトレンド通りに素子微細化の世代が進むという前提条件の下でドレイン電流 I_d に対する寄生抵抗の影響を見積もる必要がある。

ここではドレイン電流 I_d がドレイン電圧 V_d やゲート電圧 V_g の関数として、良く知られているSodiniの式[4.7]で示されると考え、それに対してS/D部 寄生抵抗の成分 R_{par} をS/Dに直列に入れて寄生抵抗の影響を(4.1)式で見積もる。すなわちドレイン電流 I_d は $(V_g - V_t)$ の項にソース側寄生抵抗 $(1/2 R_{par})$ による電圧降下の影響が入るので、5極管領域において寄生抵抗が無い場合のドレイン電流 I_{d0} に対して次式のように表される。(ここでは V_{dsat} の寄生抵抗依存性を無視した1次近似を行った。)

$$I_d = \frac{C_{ox} \cdot v_{sat} \cdot (V_g - V_t - V_{dsat}) \cdot W}{1 + C_{ox} \cdot v_{sat} \cdot (1/2) R_{par} \cdot W} = I_{d0} \cdot \frac{1}{1 + C_{ox} \cdot v_{sat} \cdot (1/2) R_{par} \cdot W} \quad (4.1)$$

ここでは各世代の C_{ox} に適当な値を仮定して、寄生抵抗による5極管領域のドレイン電流 I_d の劣化を10 %まで許すという拘束条件の下で、寄生抵抗 R_{par} の大きさをパラメータとして変えながらその影響を調べてみた。また同時にSIAのロードマップなどのトレンドから予想される各世代のエクステンション部の接合深さ X_j と関連づけた。それらの結果を図4. 1に示す。

(4.1)式によると C_{ox} は世代を追って増大するので、ドレイン電流劣化の抑制には寄生抵抗を低減する必要がある。たとえば $L_{eff} \sim 0.10 \mu\text{m}$ 世代のpFETにおいては、 X_j を50 nm以下にする必要があり、かつpFETの全寄生抵抗を $500 \Omega \cdot \mu\text{m}$ 程度にまで低減しなければ、MOSFETの電流駆動能力に対するスケーリングメリットが喪失する。

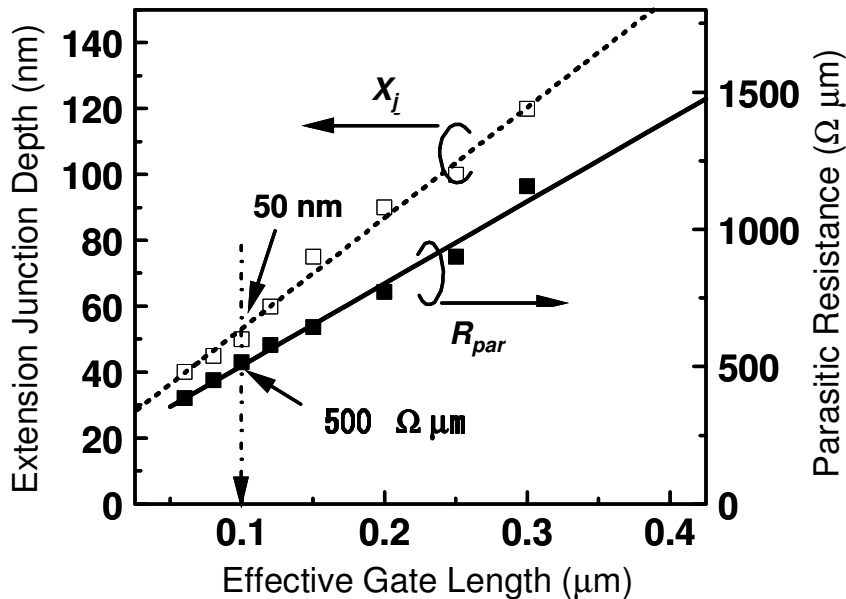


図 4.1 各世代の実効ゲート長と必要な接合深さ(X_j)、
ならびに寄生抵抗(R_{par})の関係

MOSFETの寄生抵抗 R_{par} の各成分を単純化して図4.2に示した。この図の場合はS/Dのエクステンション領域とS/Dの深い接合領域(deep junction)はSiNのゲート側壁で分離されている場合を想定した。寄生抵抗成分のうち、コンタクト抵抗 R_c とdeep junction部分のシート抵抗はS/D上の全面をシリサイド化して低抵抗化すると同時に実効的に金属配線部との接触面積を広げることで比較的簡単に低減可能である。一方でS/Dのエクステンション領域の寄生抵抗 R_{ext} は[4.8]に示される様にエクステンション領域のシート抵抗 R_{sh} と広がり抵抗 R_{sp} 、及びゲート直下の蓄積層部分の抵抗 R_{acc} の和で示されるが、これらの部分の抵抗は簡単にスケールリングしがたい。それは以下の理由による。

(1) サリサイド工程 (Self-Aligned Silicide: Salicide)において、ゲート側壁長にはサリサイド同士の短絡(ブリッジング)防止可能な最小寸法がある。よってゲート長と同程度の側壁長のスケールダウンは現実的でないこと。

(2) サリサイド適用時にはdeep junction領域の接合深さも接合リーク電流抑制のために浅くできない。これによりチャネル部とdeep junction部とを離しておかねばならないこと。

すなわち短チャネル効果抑制のためには側壁長を短くできないという制限を受けるためにエクステンション部の抵抗を簡単には小さくできない。

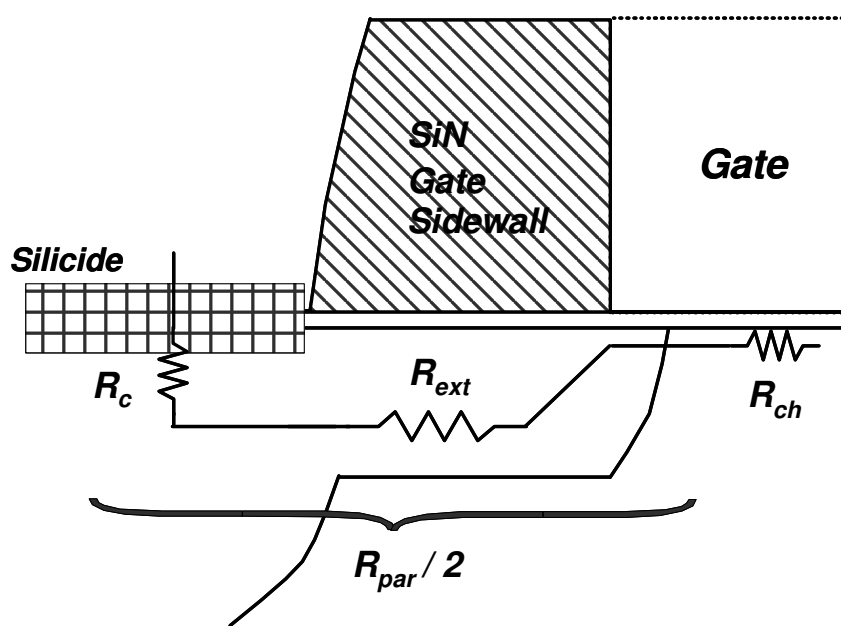


図 4.2 MOSFET における寄生抵抗の概略図

(R_{ext} にはシート抵抗と広がり抵抗を含む)

したがって全寄生抵抗に占めるエクステンション部の寄生抵抗成分は、世代が進むにつれて相対的に大きくなっていく。(4.3節の脚注参照) このエクステンション領域の寄生抵抗低減が重要課題と考え、まずエクステンション部の上部にあるゲート側壁の形成プロセスがこの寄生抵抗に及ぼす影響の確認から始めた。

そこで図4.3に示すプロセスフローを用いて、実際に低加速BF₂イオン注入工程のみを用いてS/D エクステンション領域を形成したpFETを試作した。ここではゲート絶縁膜厚 T_{ox} は5 nmとし、エクステンション部のBF₂のイオン注入エネルギーは5～20 keVで、ドーズ量は $5 \times 10^{14} \text{ cm}^{-2}$ と統一した。イオン注入は4 nm相当の後酸化膜を介して行った。一部の試料はGeによるプリアモルファス化を行ったがこれについては後述する。エクステンションイオン注入後、RTAを900°C、30秒の条件で行った後、ゲート側壁としてSiNをLP-CVD工程を用いて100 nm堆積した後、側壁RIE工程を行ってdeep junction形成のためのイオン注入を行った。不純物活性化のRTAはdeep junction 形成後900°Cで30秒間行った。

- Gate Oxidation (5 nm)
- Gate Electrode Formation
- (Ge preamorphization 15 keV, 2- $5 \times 10^{14} \text{ cm}^{-2}$)
- S/D Extension Implantation
(BF₂: 5 - 20 keV, $5 \times 10^{14} \text{ cm}^{-2}$)
- SiN CVD(100 nm) & Gate Sidewall Formation
- S/D Deep Junction Implantation
- Activation RTA (900 C, 30 sec.)
- Metallization

図 4.3 本実験の pFET の試作工程フロー

MOSFETのドレイン電流特性から寄生抵抗を得る方法としてはいくつか提案されている。今回はIBMのTaurらから提案されているShift & Ratio method[4.9]を用いた。これは長チャネルMOSFETの I_d - V_g 特性と寄生抵抗を求めようとする短チャネルMOSFETの I_d - V_g 特性を用いて、 L_{eff} と寄生抵抗 R_{sd} の両者が計算できる。すなわちTeradaの方法[4.10]に比較して初期の準備さえすれば導出が簡単なことが利点である。この分野で先行するIBMグループのデータとも、 L_{eff} や R_{sd} を直接比較できるという点も便利である。実際には複数のMOSFETについてTeradaの方法とも比較して両者がほぼ同じ寄生抵抗値になると確認した。

一般には寄生抵抗はゲート電圧依存性を持つが、S/Dエクステンション部の不純物濃度がピーク値では 10^{20} cm^{-3} に近いので、今回はエクステンション部の寄生抵抗におけるゲート電圧依存性を無視した。また以下では各世代のゲート長に対応したエクステンション領域の形成条件をイオン注入エネルギーだけで代表させた。実際にはイオン注入時の加速エネルギーの低減に伴い、不純物の外方拡散による高抵抗化などが生じうるがそれについては無視して議論した。

各世代に対応するイオン注入エネルギーでBF₂を導入したpFETについて、実験的に得られた寄生抵抗 R_{par} の値と接合深さ X_j の関係をイオン注入エネルギーの関数として図4.4に示す。これを見るとSIMS (Secondary Ion Mass Spectroscopy)分析から得られた X_j は先に示した目標値に近い値になる一方で、寄生抵抗の方は世代が進むにつれて大幅に増大するという結果となった。

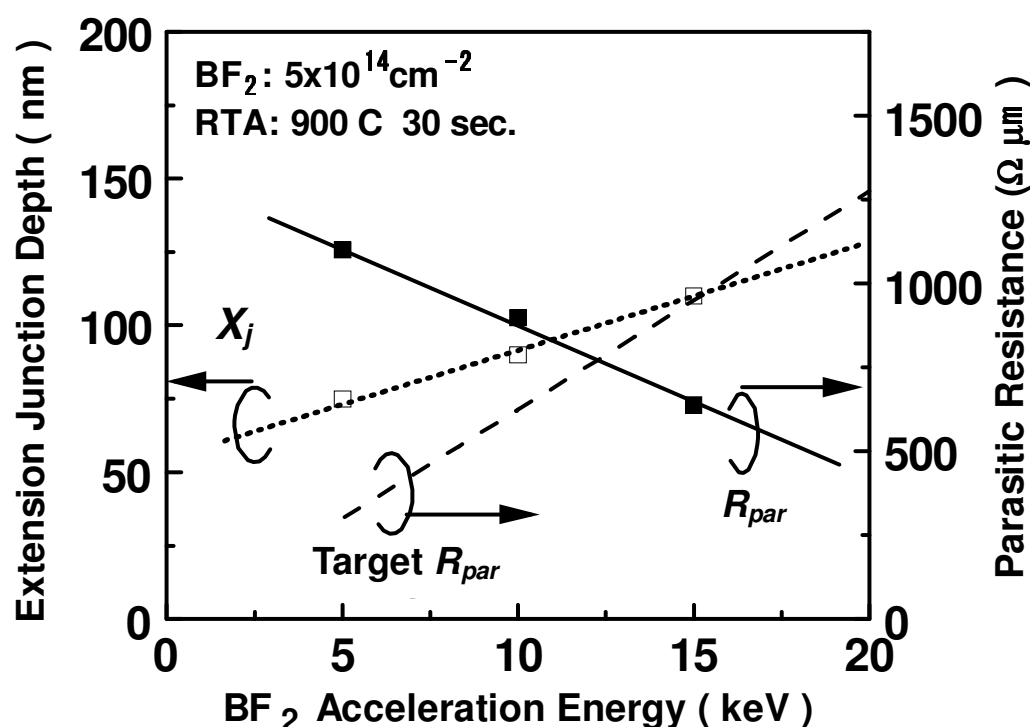


図 4.4 実験的に得られた BF₂ イオン注入の加速エネルギーと接合深さ X_j 、及び寄生抵抗 R_{par} の関係

次にその原因追求を目的としてこれらの試料の物理的な解析を行った。微細MOSFETのそのものではS/D部の面積が小さく、不純物プロファイル分析が難しいため、実際のpFETのエクステンション形成条件と同じ条件でSi基板上にp⁺層とSiN膜を100 nm形成した試料についてSIMS分析とSRA(Spreading Resistance Analysis)によるボロンのキャリア深さ分布測定[4.11]を行った。その結果を図4.5に示す。これを見ると明らかにp⁺層の上部にSiNを堆積した試料において、特に基板表面近傍でボロンキャリア濃度が小さくなっており、キャリア活性化率の劣化が起きている。この結果からSiNを用いたゲート側壁形成プロセスがキャリア活性化率に与える影響が浅いp⁺拡散層においては非常に問題になることを発見した。ここでキャリア活性化率の定義は

$$\text{キャリア活性化率} = \frac{(\text{SRM で求められたキャリア分布の基板深さ方向の積分値})}{(\text{SIMS で求められた不純物濃度分布の基板深さ方向の積分値})}$$

とした。この現象について次節以下で解析を行った。

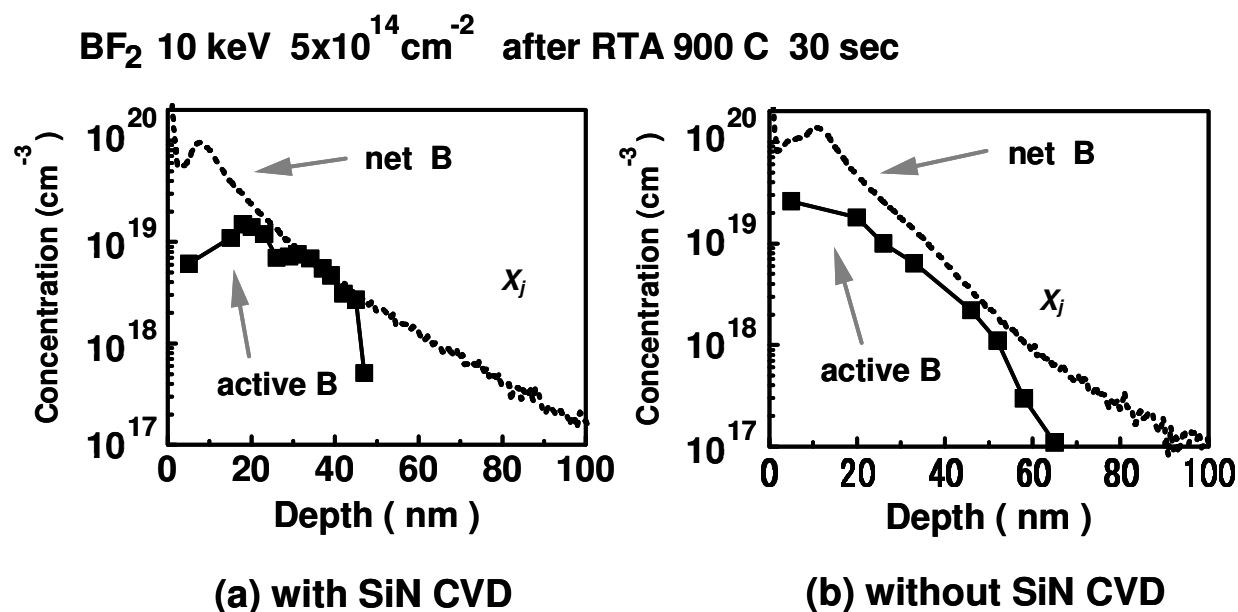


図 4.5 SIMS 並びに SRA 測定によるボロンのキャリアプロファイル測定結果

SiN を堆積した(a)のサンプルの基板表面近傍でボロンの活性化率低下が観測された。 X_j は $2 \times 10^{17} \text{ cm}^{-3}$ で規定している。

4.3節 脚注：

本節の議論では単純化するために、寄生抵抗の各成分説明のところでMOSFETのelevated S/D構造は想定していない。(これはS/D領域上にゲート電極に対して自己整合的にSiをエピタキシャル成長させて最初の基板面よりも高い位置にS/D deep junction領域が形成されるものである。第6章で一部議論する。) 実際には、最先端の世代では短チャネル効果抑制のためにS/D deep junctionをさらに浅くする必要に迫られており、さらに素子面積自体も小さくしなければならないことから十分な面積のS/D deep junction面積が取れなくなってきている。また性能改善のためゲート側壁長も短縮することが求められているため上記のelevated S/D構造の検討を開始している。

したがってこのようなMOSFET構造ではエクステンション部の抵抗が低減されると、寄生抵抗の成分としてはバランスが逆転して、エクステンション抵抗よりはシリサイド部と基板間の接触抵抗成分の寄与が大きくなってきている。

4.4 水素パッシベーションによるボロンの不活性化

前節まででわかった事実から生じる疑問は「なぜSiNで側壁を形成すると、ボロンの活性化率が低下するのであろうか？」である。この疑問に対していくつかの仮説を立てた。

まず最初にイオン注入による基板損傷による結晶欠陥起因で結晶原子の規則性が劣化し、その結果としてボロン活性化率が低下する可能性を想定した。もしそれが原因ならばある程度精密な物理分析を行うと何らかの結晶欠陥が見られるはずである。

そこでエクステンション形成のプロセス相当のBF₂イオン注入とその後の熱工程を経た試料を準備し、ゲート側壁に相当するSiN CVDを行った後のSi基板に対して断面TEM(Transmission Electron Microscopy)観察やRBS(Rutherford Backscattering Spectroscopy)測定を行った。その結果、断面TEM観察においてもRTA後の試料に関しては結晶欠陥や転位は見られず、RBSによる解析でもかなり良好な結晶性(χ min \sim 2.9%)が得られた。したがってイオン注入の損傷による結晶欠陥起因説はかなり疑わしいものと結論付けた。

次に考えられるのが「水素によるボロンの不活性化」[4.12]である。ボロンが水素で不活性になる現象自体は1980年ごろから報告されはじめた。具体的にはp⁺拡散層をH₂プラズマに晒すとボロンが不活性になる現象が研究されていた[4.13-4.17]。ただしこれらの論文に述べられている場合は比較的低温だが反応性が高いと思われるH₂プラズマの場合であり、水素がラジカルとして働いている。その一方で、我々の場合の通常のLP-CVD時の水素は比較的高温だがおそらく分子状態になっていて少し性質が異なると予想しており、この現象と関連があるかどうかは不明だった。

またLP-CVD以外のSiNの堆積方法、たとえばプラズマCVDによるSiN(p-SiN)の場合には、第3章でも議論したように、ポリSi中の粒界面のトラップを不活性にする現象などが観測されていた[4.18]。この場合は膜中の水素含有率がかなり高いことが知られているが、今回のLP-CVDの場合ではボロンの水素パッシベーションが発生する可能性は低いと予想していた。ただしLP-CVDのSiNを形成する場合でも反応式は以下の様になり、ジクロロシランとアンモニアの反応は約780℃の状態で行われる。したがって生成された水素はプラズマCVDの場合ほどでは無いにしてもそのCVD中、もしくはその後の熱工程で十分基板中に拡散できる可能性は否定できない。



ここで水素のボロン不活性化を確認するには、[4.13-4.17]に示されている現象と同じものが観測されるかどうかを実験的に調べれば良い。いくつかの実験がなされているが、これらの文献に示された実験のうち、以下の理由で[4.16]のFT-IR(Fourier Transform of Infrared)による分析を行った。FT-IRによるボロン不活性化検証の根拠となるモデルは図4.6に示されている。拡散してきた水素はSi-Bの結合中心位置に近いところを占め、そこでSi-H:Bアクセプターの不純物複合体 (acceptor complex)が形成される。この状態は通常のSi-B系の場合よりも結合を大きく歪ませて安定化する可能性が数値計算の結果から指摘されている。さらに電子状態として3中心の共鳴結合状態となり、通常のボロンが形成する価電子帯直上のアクセプター準位が消えてしまう現象がスーパーセルを用いた第一原理的計算手法によって示されている[4.13]。同時にこの場合にSi-H:Bの不純物複合体の格子振動の基準振動数(normal mode)が計算されており、実験を再現することがわかっている。

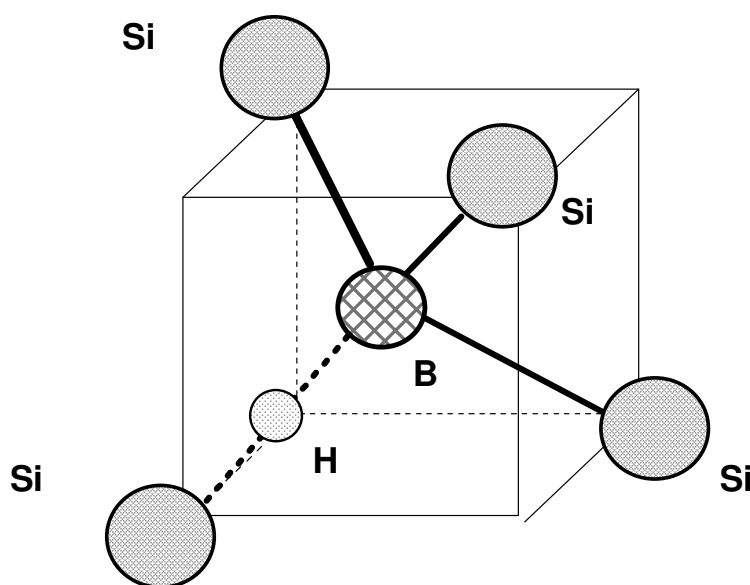


図 4.6 水素によるボロンの不活性化のモデル[4.16]

水素は B と Si の間に入り込んで不純物複合体を形成し、B を不活性化する。

このとき生成された Si-H 結合は B の影響で基準振動数がシフトする。

我々の実験で今回 FT-IR で測定したのは Si 水素の基準振動の吸収スペクトルである。通常の Silicon monohydride (Si-H) の場合には約 2000 cm^{-1} 付近に吸収ピークが見られる。ところが 水素プラズマに晒すと Si-H とボロンとの不純物複合体が形成されるので、そのような試料では、Si-H-B 複合体の結合の影響で（いわゆる Si-H の結合バネ定数は弱まる方向になるので）低周波側の 1870 cm^{-1} への吸収ピークシフトが観測される[4.16]。

そこで今回の試料に関して、この理論で予測される現象が観測されるかどうかを調べてみた。まず通常工程と同様にボロンをイオン注入した後に SiN を堆積して活性化 RTA を行った。次にウェットエッチングで SiN を剥離して Si 基板表面を露出し、それを FT-IR で測定してスペクトルを取得した。これは残留 SiN 中の Si-H、Si-N などの結合スペクトルを拾う可能性を排除するためである。また同時に SiN CVD 無しの Si 基板に関しても不純物活性化の RTA を行って比較した。結果を図 4.7 に示す。

これらを見ると LP-CVD SiN を行った試料では 1870 cm^{-1} 付近に明らかな吸収ピークの存在が確認された。また吸収ピークには SiN を堆積後、活性化 RTA 工程前後の試料で強度差があることもわかった。これは活性化 RTA 工程で SiN 中の水素がより Si 基板中に拡散し、Si-H の生成を促進した結果だと推測される。

したがって今回の一連の pFET においても、シリコン基板を直接水素プラズマに晒した場合と同様な水素によるボロンの不活性化が生じていることが実験的に初めて示された。つまりこれが pFET の寄生抵抗増大の原因の一つとなっていたと推測される。

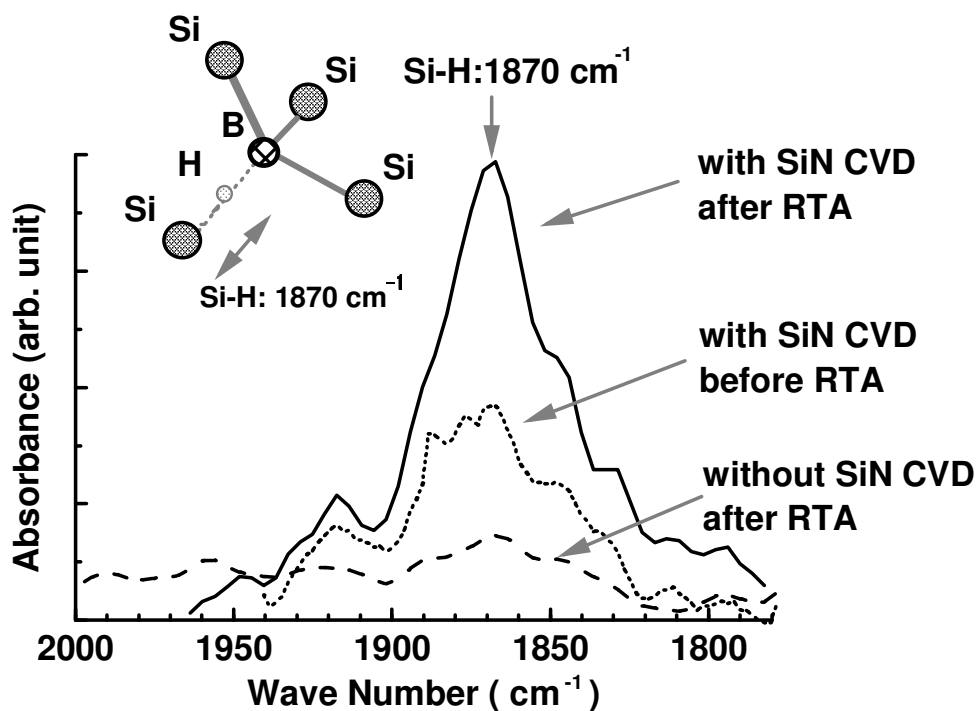


図 4.7 SiN CVD 工程の有無による Si 中の FT-IR スペクトルの違い

B の不純物層の上に SiN を形成した試料では 1870 cm^{-1} のところに吸収ピークが観測された。

またこのピークは SiN を堆積後にアニールすることで強調された。

また図には示していないが、上記のサンプルと比較するため、 BF_2 をイオン注入した試料に対して FG アニール (forming gas anneal: 水素を 10% 含むヘリウムガス中のアニールで 800°C 、15 min.) のみを行った試料を作ってみた。しかしながら、面白いことに上記に示されるようなボロン拡散層のシート抵抗の増大も FT-IR のピークも観測されなかった。したがって実験の範囲内で雰囲気温度上昇による (分子状態の) 水素拡散ではボロンの不活性化には寄与しないと言える。一方 SiN 形成時の水素、もしくは SiN 中から基板に拡散していく水素では分子状態とは何らかの違う状態となっていて、結果的にボロン不活性化が観測されたと推測される。

4.5 ゲルマニウムプリアモルファス化によるボロン不活性化の改善

SiN側壁を用いた場合に p^+ のS/Dエクステンション領域でボロン不活性化が生じるという問題点を前節までで指摘した。そのボロン不活性化防止策についてこの節では議論する。

条件を変えてボロン活性化率について実験した結果を整理すると、 BF_2 のイオン注入エネルギーとボロン活性化率には相関が見られた。例としてボロンのドーズ量を $5 \times 10^{14} \text{ cm}^{-2}$ にして、イオン注入エネルギーを5~15 keVまで変化させた場合のボロン活性化率の変化を図4.8に示す。この場合はまだGeの基板プリアモルファス化を行っていない。

結果としてはボロン活性化率がイオン注入エネルギーの低下につれて劣化する現象が見られる。これは低注入エネルギーになると不純物がより浅い位置に多く存在するので水素の影響が強くなるか、もしくは基板が十分アモルファス化されないためと考えられる。

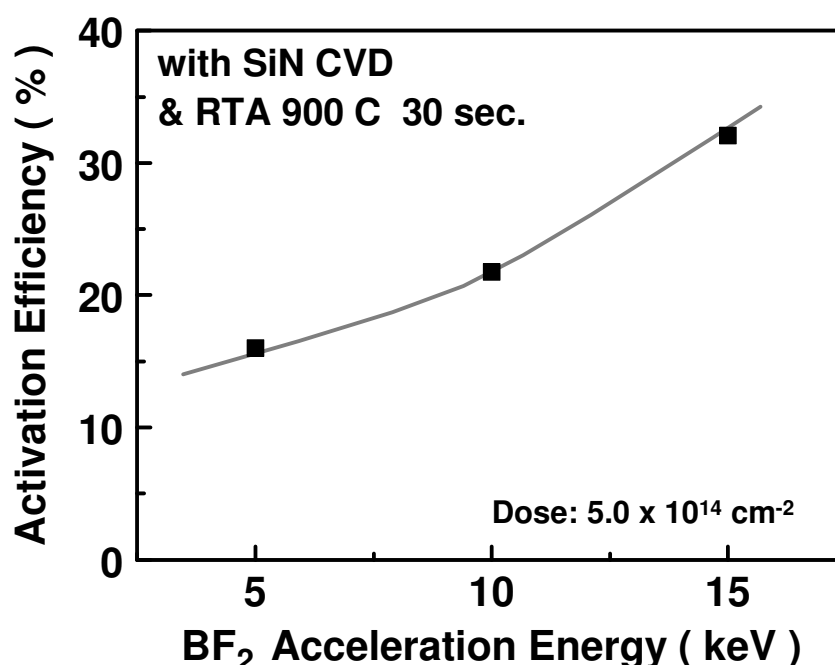


図 4.8 B 活性化率と BF_2 イオン注入時のエネルギーの関係

BF_2 注入エネルギーが大きくなるほど活性化率が高いことがわかる。

Si基板のイオン注入によるアモルファス化と不純物活性化率の関連性を次に調べてみた。試料は通常の基板とGeでアモルファス化した基板に対して BF_2 を10 keVでイオン注入し、SiNを100 nm形成した。ここでGeをアモルファス化する元素として選択したが、これは熱工程がRTAだけでも二次欠陥が生じることなく、良好な接合リーク電流特性が得られるという理由による[4.5-4.6]。

アモルファス化のためのGeイオン注入エネルギーは15 keVと一定にし、ドーズ量は $2 \times 10^{14} \text{ cm}^{-2}$ と $5 \times 10^{14} \text{ cm}^{-2}$ の二通りとした。アモルファス化の指標としては、下記に示す量でアモルファス化率というものを定義する。これは各条件のイオン注入を行った直後に、RBSによるチャネリング測定を行って、アモルファス化されている深さまでのスペクトル平均値を計算し、それをランダムスペクトラムと比較することで行う。

すなわち

$$amorphization\ rate = \frac{\int_a^b S_{aligned}(n)dn}{\int_a^b S_{random}(n)dn} \quad (4.3)$$

でシリコン基板のアモルファス化率を定義した。ここで $S_{aligned}(n)$ と $S_{random}(n)$ はRBSの結晶軸に沿ってHeイオンを入射した場合(aligned)と、結晶軸からランダムに外してHeイオンを入射した場合(random)のスペクトル強度をそれぞれ示す。またチャンネル数の積分範囲は $a = 555, b = 590$ として計算した。これは基板表面から深さ約30 nmまでを考慮することに相当する。(エネルギー検出器の関係で実際にはスペクトラムは離散的関数となっているため、積分は Σ で置き換えて計算した。)

図4.9に今回の試料におけるRBSスペクトラムと基板表面からの深さとの関係を示す。いずれの場合もアモルファス化されている領域は基板表面から～30 nm程度のところであり、また熱工程を経た後でこれらの結晶性回復が十分であることは確認した。

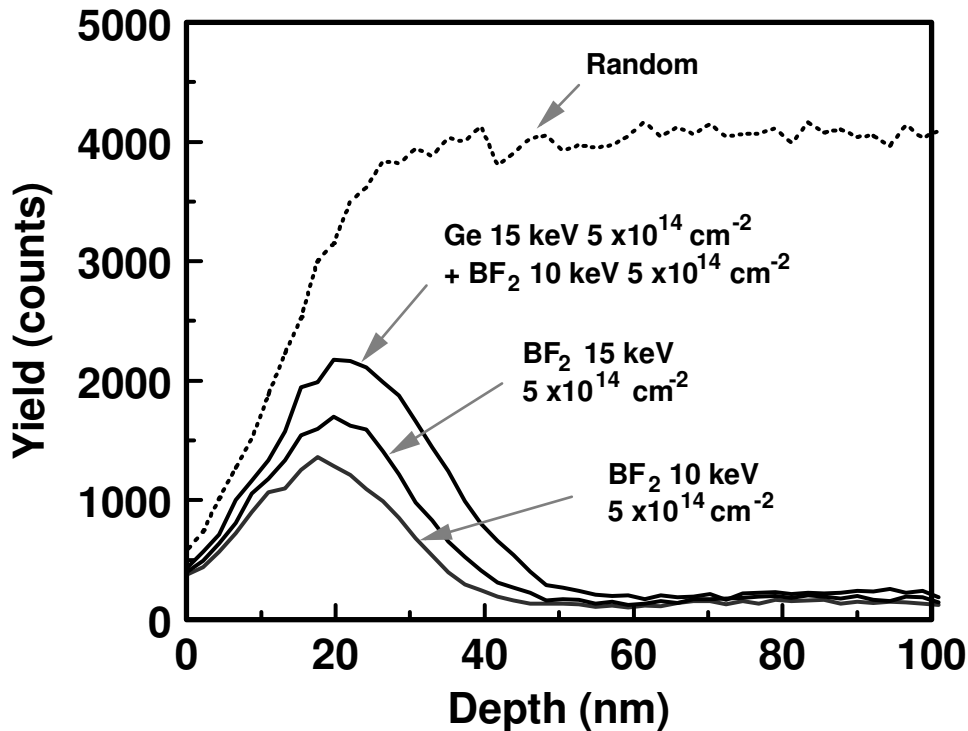


図 4.9 イオン注入条件の異なる試料に関する RBS スペクトラムの比較

ランダムスペクトルと比較することで各イオン注入条件を経た後のシリコン基板のアモルファス化率がわかる。

この場合の基板のアモルファス化率と p^+ エクステンション層のシート抵抗との関係を調べてみた(図 4.10)。明らかに Ge で基板プリアモルファス化を採用した試料や、または BF_2 を 15 keV でイオン注入した試料では BF_2 10 keV のイオン注入の場合よりもアモルファス化率が高い。さらにアモルファス化率が高い試料ほどシート抵抗が低下する。特に BF_2 を 10 keV、 $5 \times 10^{14} \text{ cm}^{-2}$ 注入した場合同士で比較すると、Ge による基板プリアモルファス化を行った試料についてはシート抵抗で約 700 Ω/\square となっている。一方、Ge プリアモルファス化を用いなかった試料では約 2.8 k Ω/\square となっており、Ge プリアモルファス化によるシート抵抗改善が観測された。

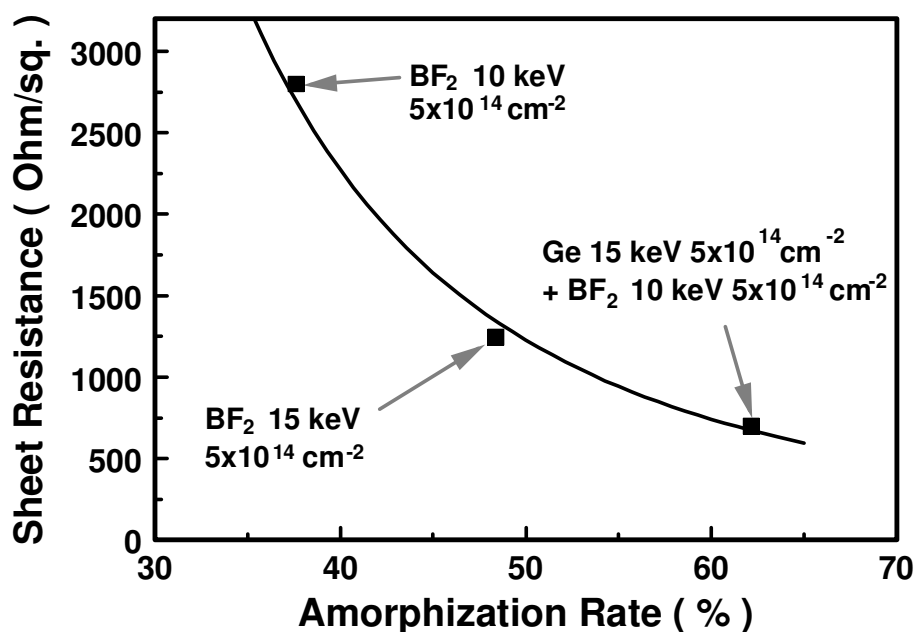


図 4.10 Si 基板のアモルファス化率と p^- 拡散層シート抵抗の関係

基板のアモルファス化率が高いほど、最終的にシート抵抗は小さくなり、不純物の活性化率が高くなる。

Ge イオン注入によりアモルファス化率を高めた試料と、そうでない試料とで不純物プロファイルとキャリアプロファイルと比較した(図 4.11)。あきらかにアモルファス化率を高めた場合に X_j を 70 nm 程度まで低減でき、かつ表面近傍のキャリア濃度プロファイルが改善されており、シート抵抗低減に寄与している。

さらに Ge によるアモルファス化を行った試料について FT-IR 測定を行ったところ、Si-H:B の 1870 cm^{-1} のピークが消失した。この結果からは Ge プリアモルファス化の導入によってボロンの水素パッシベーションが抑制されたと解釈できる。(図 4.12)

したがって Ge を用いて基板をプリアモルファス化した後、低加速 BF_2 イオン注入と SiN CVD を行って pFET の S/D エクステンション領域を形成する手法は、単に接合深さ X_j を小さくできるのみでなく、ボロン活性化率向上における優位性も今回の実験で明らかになった。

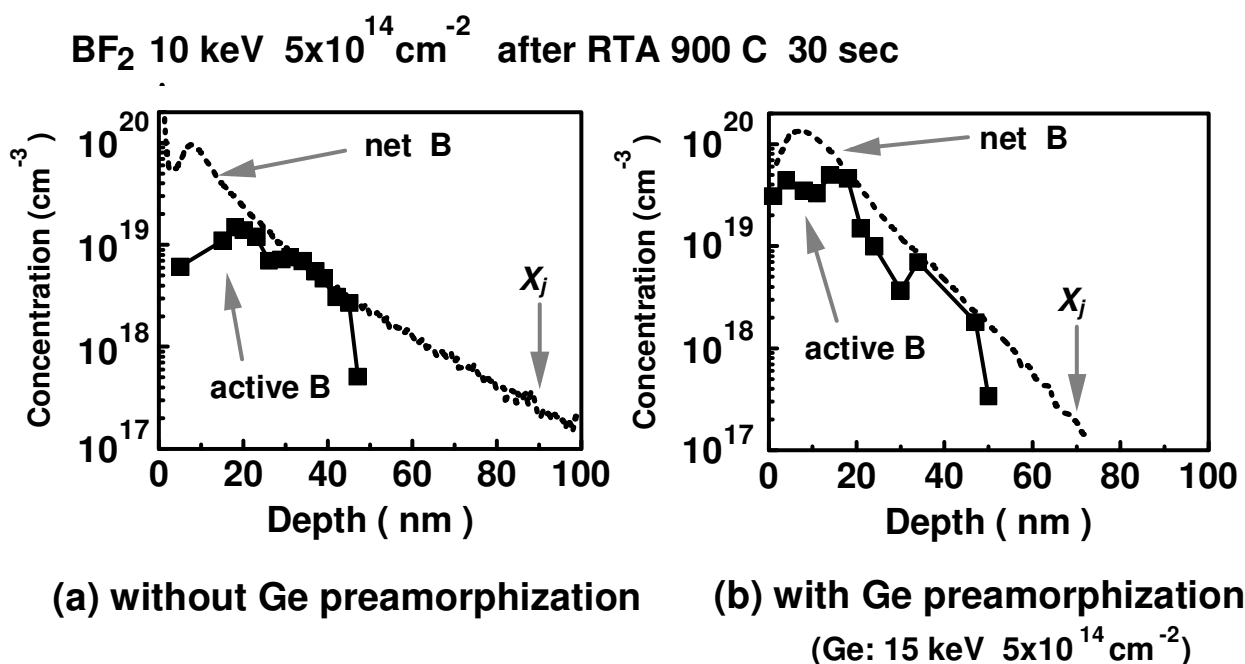


図 4.11 Ge プリアモルファス化を行った場合と行わない場合の
ボロン不純物濃度プロファイルとキャリア濃度プロファイルの比較

Ge プリアモルファス化で表面付近のボロン活性化率が改善された。

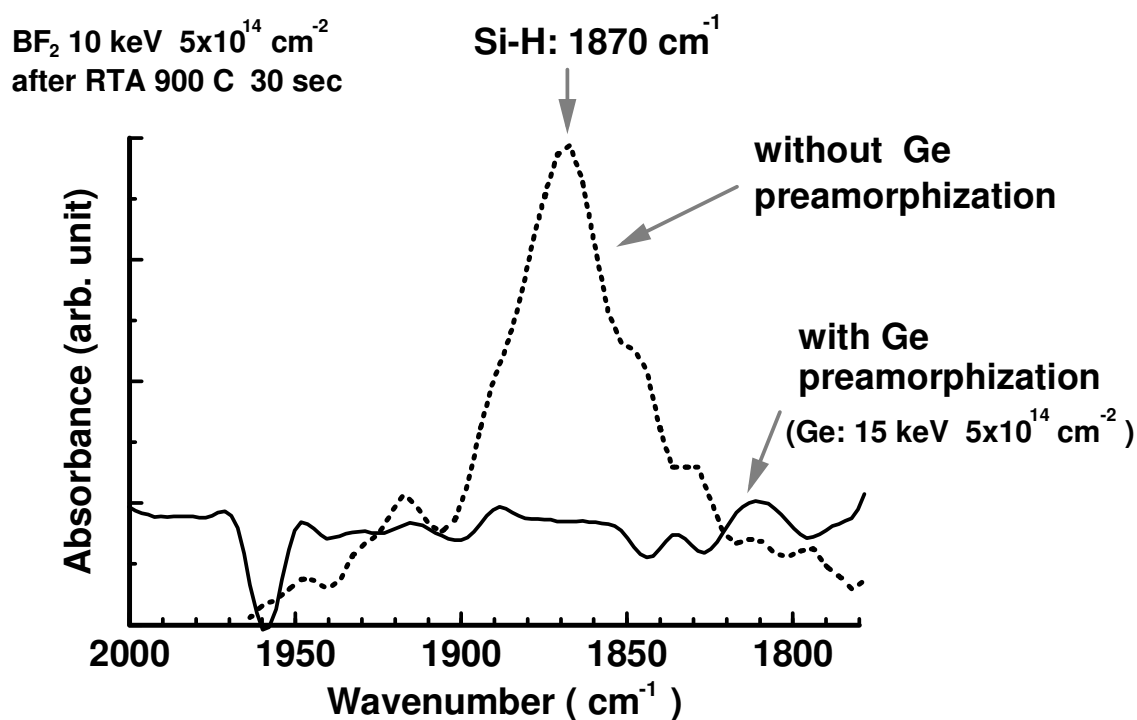


図 4.12 Ge プリアモルファス化を行った場合の Si 基板に対する FT-IR スペクトラム

SiN を堆積しても Ge プリアモルファス化を経ていると Si-H の結合による吸収スペクトルが観測できない。

Geのプリアモルファス化によりボロンに対する水素パッシベーションが抑制される理由については以下のことが考えられる。

一つは基板アモルファス化と再結晶化によりボロンがSiの置換位置に取り込まれやすくなるので活性化率が高くなると考えられる。活性化率とアモルファス化率を比較するとほぼ線形関係にあるのがその根拠である（図4.13）。これは基板アモルファス化によりボロンが基板中でSi-B結合を形成しやすくなり、後から水素が拡散してきてもSi-H:Bの複合体が形成されにくくなるという推測である。これが理由ならば他のイオン種でアモルファス化した場合でも同様な効果が期待できる。

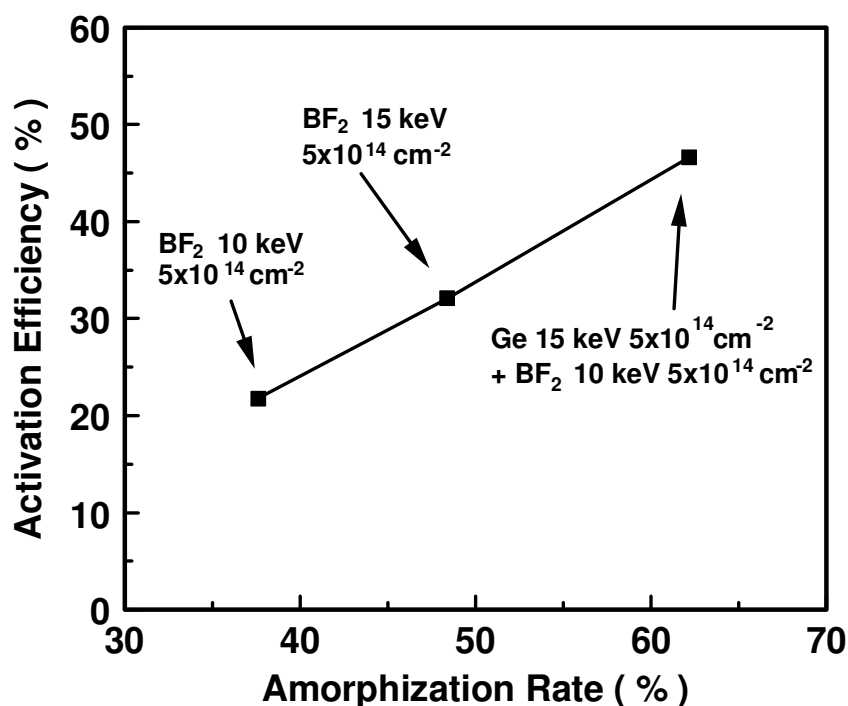


図 4.13 Si 基板のアモルファス化率と B 活性化率の関係

アモルファス化率と B 活性化率はほぼ線形な関係にある。

もう一つはGeがSiの置換位置に入ると結晶中のポテンシャルが変わり、水素が結合中心の位置に入り込めなくなり、結果的にボロンとの複合体を形成できなくなる可能性もある。これはFT-IR測定などからも想像される。確かに原子半径も質量数もSiと異なるGeが多数入り込めばその可能性があるが、現在のドーピング濃度（0.1%未満）でその効果が期待できるかどうかは理論的に詳細な議論を要する。

今まで述べてきたように実験の結果、電気特性としてはGeプリアモルファス化で改善が見られるので、この工程を採用してpFETの試作を行った。試料作製、実験結果等については次節以降で詳細に議論する。

4.6 ゲルマニウムによる基板プリアモルファス化を用いた0.15 μm pFETの試作

4.6.1 試作工程フロー詳細について

今回試作した 0.15 μm pFET はデュアルゲート型 CMOS プロセスを用いた。まずゲート電極はエキシマレーザー露光で 0.2~0.25 μm のパターン形成を行った。その後 O_2 プラズマアッシャーを用いたレジストアッシング[4.19]により、レジストパターンを約 0.1 μm 細らせて最終的にはゲート長 $L \sim 0.15 \mu\text{m}$ のパターンを形成した。またゲート酸化膜厚 T_{ox} は 5 nm とし、ゲート RIE 加工時にはマスク材として SiO_2 キャップを用いた。さらにゲート側壁材料としては LP-CVD による SiN を採用した。

Ge 及び BF_2 のイオン注入工程は市販の高電流型イオン注入装置を用いて行った。この装置においては BF_2 10 keV の場合でも Ge 15 keV の場合でもイオン注入のビーム電流を 2 mA 程度まで得られるので、たとえば $5 \times 10^{14} \text{cm}^{-2}$ のドーズ量の場合には 1 バッチ 15 分ほどの実用的な時間で終了する。

BF_2 で加速エネルギーが 5 keV の場合でもビーム電流が 0.5 mA 程度になるので $5 \times 10^{14} \text{cm}^{-2}$ のドーズ量の場合、約 40 分でイオン注入工程を行える。

形成した p^+ 拡散層の SIMS プロファイル測定や、シート抵抗測定等には pFET 形成と同一プロセスを行ったパターン無しの試料を用いた。以下に pFET の試作プロセスフローの詳細を示す。

プロセスフローの詳細

- ・ 素子分離(LOCOS)
- ・ well I/I (Ion Implant) (P)
- ・ Channel I/I (P)
- ・ ゲート酸化 (750°C、5 nm)
- ・ α -Si 200 nm LP-CVD+ゲートドーピング(B) + アニール (800°C、30 min.)
- ・ SiO_2 200 nm AT-CVD + カーボンスパッター
- ・ ゲート電極リソグラフィ + RIE 加工
- ・ 後酸化(ゲート側壁酸化) (800°C、5 nm)
- ・ Ge I/I (15~25 keV、 $2 \times 10^{14} \sim 5 \times 10^{14} \text{cm}^{-2}$)
- ・ BF_2 I/I (5~15 keV、 $5 \times 10^{14} \text{cm}^{-2}$)
- ・ 1st RTA (900°C、30 sec.)
- ・ SiN LP-CVD 100 nm
- ・ ゲート側壁残し SiN RIE
- ・ SiO_2 10 nm LP-CVD
- ・ p^+ I/I (BF_2 、35 keV、 $1.5 \times 10^{15} \text{cm}^{-2} \times 2$)
- ・ 2nd RTA (活性化 RTA : 900°C、30 sec.)
- ・ 層間膜 CVD
- ・ CMP (Chemical Mechanical Polishing)による表面平坦化
- ・ コンタクト領域形成
- ・ metallization (金属配線形成)

ここで1st RTAと呼んでいるものは、シリサイド形成時の2段階RTAの最初のRTAとは異なる工程で、S/D エクステンションイオン注入直後にゲート側壁SiNのCVD前に行うものを指す。本実験においてはS/D上にシリサイドを形成していない。

今回の試作にあたっては、イオン注入後のSiN CVD工程時の熱工程におけるボロン拡散を防止する施策が必要である。1st RTAの効果については図4.14のSIMSによる不純物濃度プロファイルから明らかであるが、たとえば900℃で短時間アニールを施すとその後の熱工程によるTED (Transient Enhanced Diffusion)を抑制可能であることがわかった。この1st RTAではイオン注入時に生じたinterstitialなどの点欠陥は拡散するが、不純物イオン自体は拡散しない。したがって比較的高温の活性化アニール工程が後で行われても点欠陥起因のボロンの増速拡散が小さくなると考えられる[4.20]。点欠陥はイオン注入後の不純物プロファイルのピーク位置 (project range: R_p)よりも基板の奥側に大量に発生するため、ここでの1st RTAの有無によるボロン拡散の違いが顕著に観測されている。

したがって本章以降の試作プロセスではS/D エクステンション領域へのイオン注入後には必ず低温の1st RTAを採用した。

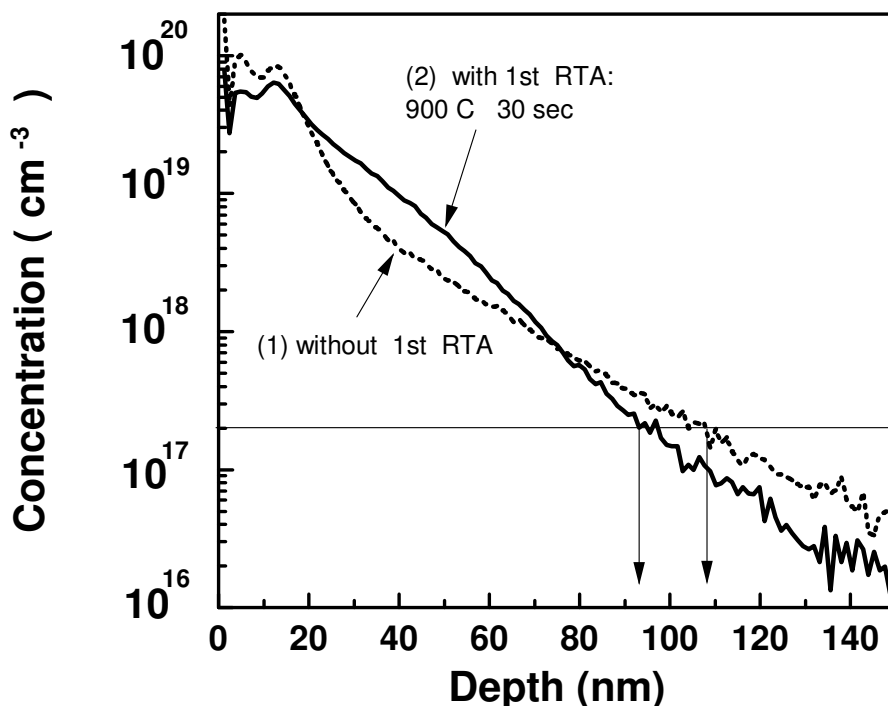


図 4.14 SiN CVD 前の 1st RTA の有無の違いによる B 不純物プロファイル比較

点欠陥の発生位置は 20 nm~40 nm 付近であり、1st RTA を行うことでそこでの B の拡散を抑制でき、矢印で示した接合深さを 15 nm 以上浅く形成できる。

4.6.2 ゲルマニウムプリアモルファス化条件の最適化

図4.15に1st RTA後のGeの深さ方向濃度プロファイルを示す。ここではGeの加速エネルギーが15 keVと25 keVの二種類の場合について示した。点線で示したようにBF₂のイオン注入エネルギーが10 keVの場合、Geを 25 keV、 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入するとGeの不純物分布の広がりがボロンの不純物濃度プロファイルよりも基板奥側に位置する。この場合、Geイオン注入で生じるSiの点欠陥分布がボロン接合深さ x_j よりも深いところまで広がり、それがp-n接合の空乏層内に存在するので接合リーク電流の増大が懸念される。実際、図4.16に両者の接合リーク電流の比較を行ったが、Ge 15 keVの場合では7V程度までバイアス電圧印加が許されるが、Ge 25 keVの場合はドーズ量が少ないにもかかわらず5V程度までしか印加出来ない。したがって今回のpFETを形成するプロセスでは中心条件としてGeイオン注入エネルギーは15 keVと決定した。

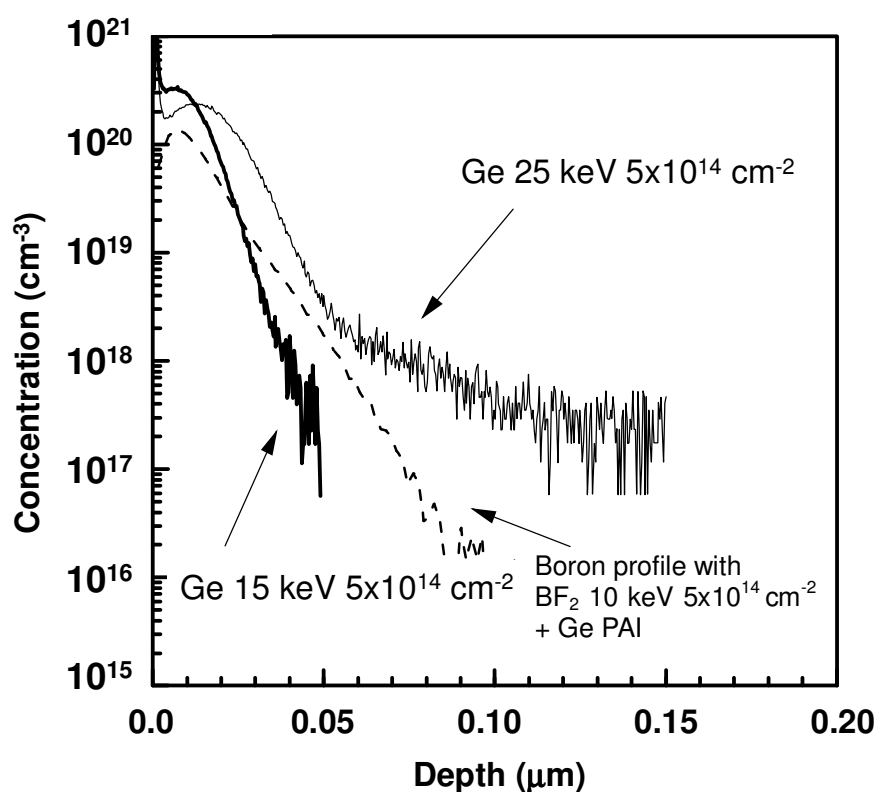


図 4.15 SIMS による Ge の深さ方向のプロファイルの比較 (15 keV & 25 keV)

BF₂ を 10 keV でイオン注入すると仮定すれば、Ge 25 keV のイオン注入条件ではボロンのプロファイル（破線）よりも深い位置に Ge が分布する。したがって、Ge イオン注入時に発生する Si 点欠陥分布も B と基板間の p-n 接合の空乏層にかかってしまう。これにより接合リーク電流の増大が懸念される。以下の実験では Ge は 15 keV で注入した。

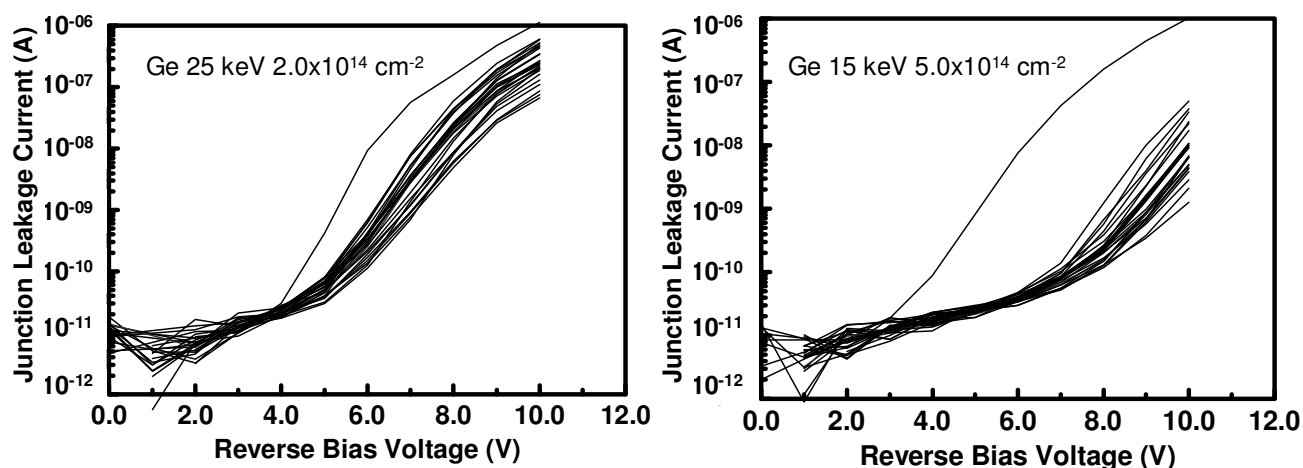


図 4.16 Ge イオン注入エネルギーの違いによる接合リーク電流の比較

右の Ge 15 keV のイオン注入の場合には 7V 程度まで逆バイアス電圧に対してリーク電流耐性があるのに対し、

左の Ge 25 keV の場合には 5V 程度からリーク電流の急激な増大が見られる。

4.6.3 短チャネル効果抑制と電流駆動力の改善

図 4.17 に Ge プリアモルファス化の有無による p- S/D エクステンション部のボロン濃度分布の SIMS 分析結果と試作された $0.15\ \mu\text{m}$ pFET の V_t roll-off を示す。Ge の基板プリアモルファス化を行うことによりボロンの濃度分布の裾引きが小さく、浅い p-n 接合が S/D エクステンション部に形成された。その結果として pFET の V_t roll-off も Ge プリアモルファス化によって改善された。

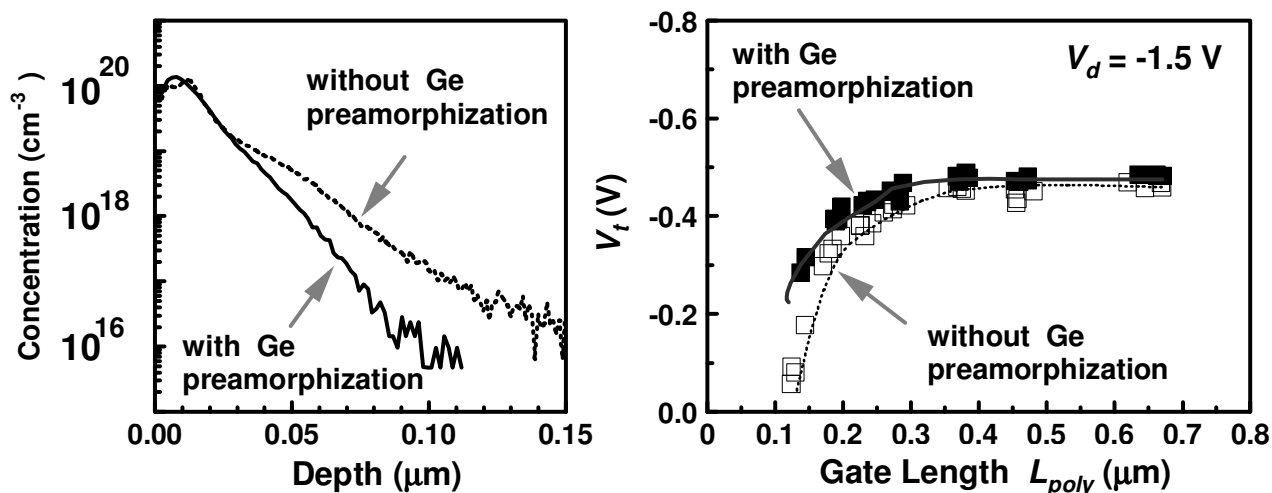


図 4.17 Ge プリアモルファス化による浅い p- S/D エクステンション領域のボロン濃度プロファイルと試作した pFET の V_t roll-off の比較

S/D エクステンション部を浅く形成できたので短チャネル効果も抑制できた。

これらの結果からこの世代でも Ge プリアモルファス化プロセスを最適化すれば短チャネル効果を抑制できる見通しが得られた。ここで「長チャネル領域からのしきい値変化 δV_t が 0.1 V 以内であること」を短チャネル効果抑制のしきい値に対する許容範囲と規定すると、それに対応するゲート長 L_{min} は以下の 表 4.2 の様になる。確かに Ge プリアモルファス化によるボロンのチャネリング現象抑制効果が見られる。

表 4.2 短チャネル効果が抑制される最小ゲート長

BF ₂ 注入条件	Ge プリアモルファス化なし	Ge プリアモルファス化あり
15 keV $5 \times 10^{14} \text{ cm}^{-2}$	$L_{min} \sim 0.225 \mu\text{m}$	$L_{min} \sim 0.20 \mu\text{m}$
10 keV $5 \times 10^{14} \text{ cm}^{-2}$	$L_{min} \sim 0.20 \mu\text{m}$	$L_{min} \sim 0.17 \mu\text{m}$
5 keV $5 \times 10^{14} \text{ cm}^{-2}$	$L_{min} \sim 0.15 \mu\text{m}$	N.A.

(注) BF₂、5 keV イオン注入の場合で Ge プリアモルファス化を行った試料は V_t の絶対値が高く、バラツキも大きいいため他の試料と比較できない。したがって Ge プリアモルファス化なしの場合の結果のみ参考として示した。

これらのデバイスのオン電流 $I_{on}(V_g=V_{dd})$ とオフリーク電流 $I_{off}(V_g=0.0 \text{ V})$ の関係を図 4.18 に示す。MOSFET の動作理論通りに、 I_{off} と L_{eff} が一意的な関係を持つと仮定すると、同じ I_{off} で比較した場合には両者を同じ L_{eff} で比較することになる。図 4.18 において同じ I_{off} で比較すると、Ge のプリアモルファス化を適用すると I_{on} は 10% 程度改善される。この改善は S/D 部の寄生抵抗の低減によるものと考えられ、接合深さを小さくしながらも電流駆動力が改善されるという望ましい結果となった。

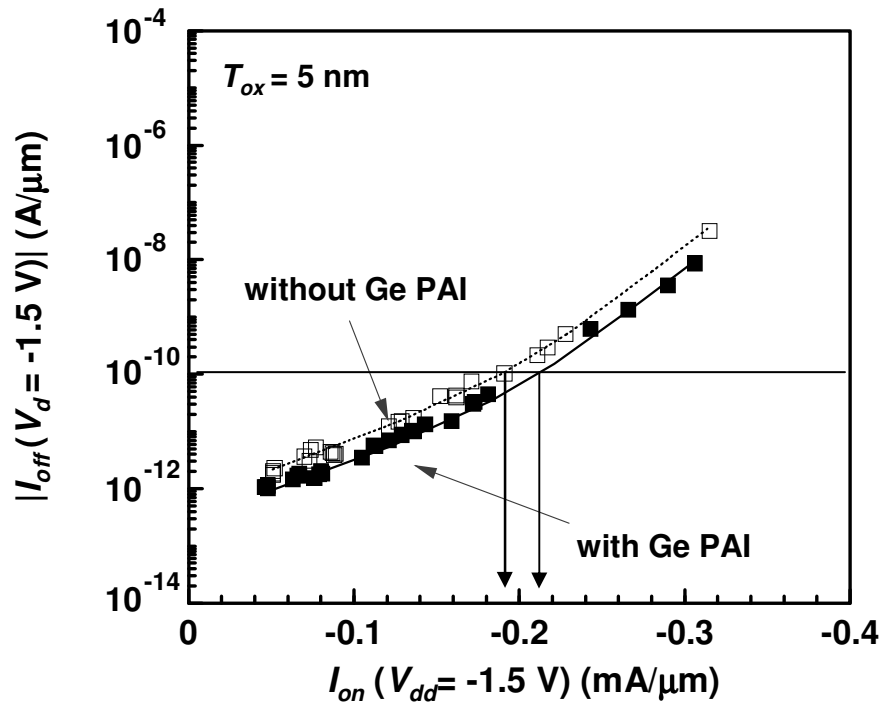


図 4.18 Ge プリアモルファス化の有無による I_{on} - I_{off} の関係の違い

シート抵抗成分が低減されたので、同じ I_{off} でも I_{on} は 10% 程度改善された。

Ge プリアモルファス化を行った試料と行わなかった試料とで S/D エクステンション部分の寄生抵抗成分を比較してみると図 4.19 の様になった。これらの寄生抵抗は IBM の Taur らから提案されている Shift & Ratio 法を各種の MOSFET TEG (Test Element Group) に適用して求めた。[4.9]

すなわち、以下の手順によっている。

(1) まず標準的な pFET の 3 極管電流電圧特性から Shift & Ratio 法によって pFET の全寄生抵抗 R_{tot} の値を求める。

(2) 次に (ゲート電極-コンタクト) 間距離を何種類か変化させた pFET TEG を測定し、(ゲート電極-コンタクト距離) と全抵抗の関係を求める。

(3) 抵抗成分のうち、上記の各 pFET はゲート長が同一なのでチャネル部分の抵抗 R_{ch} も同一とみなし、上記の関係を (ゲート電極-コンタクト間距離) に対してプロットする。その直線の傾きから S/D deep junction 部のシート抵抗 R_{sh} が、またその y 切片からコンタクト抵抗 R_c が求められる。

(4) したがって求めるエクステンション部の抵抗値は

$$R_{ext} = \frac{1}{2} R_{tot} - (R_c + R_{sh}) \quad (4.4)$$

で計算できる。

(5) 次に S/D エクステンション部のシート抵抗 R_{sh_ext} を Kelvin 法を適用して ρ_s 測定 TEG を使って求める。ここでゲート側壁スペーサー長寸法を仮定するとエクステンション部のシート抵抗に起因する寄生抵抗成分が得られる。

(6) したがってエクステンション部の寄生抵抗で、残った分が広がり抵抗 (spreading resistance) R_{sp} と蓄積層抵抗 (accumulation resistance) R_{ac} の和で表される。[4.8][4.12]

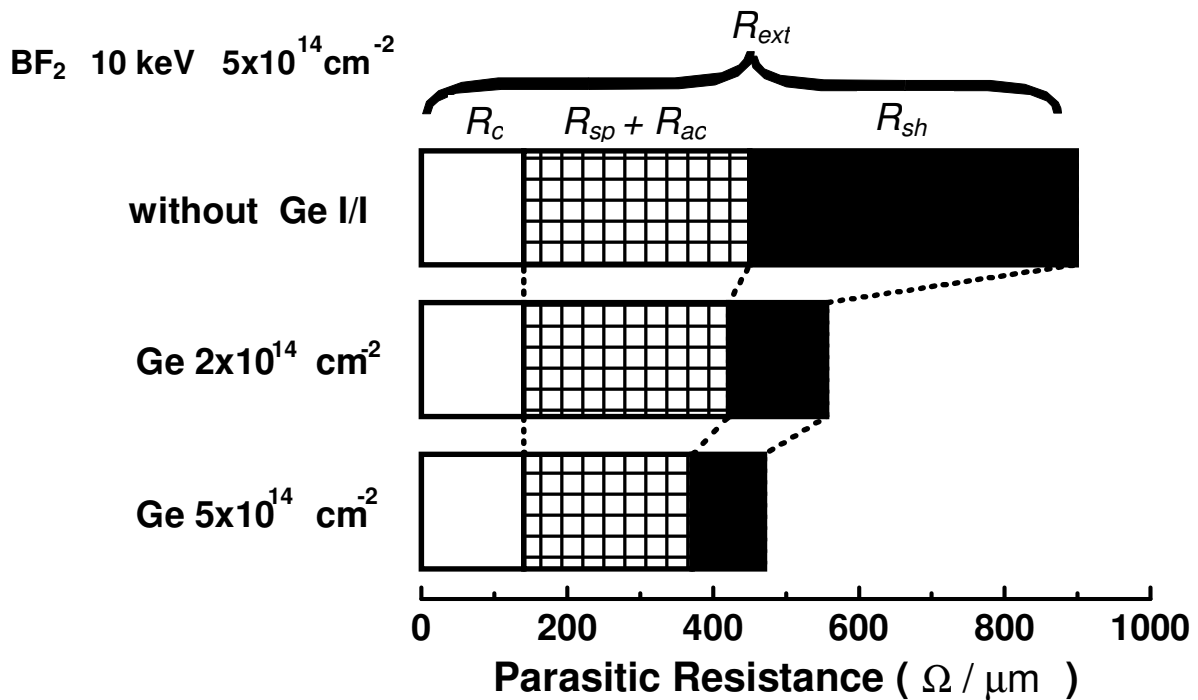


図 4.19 Ge プリアモルファス化による寄生抵抗の各成分の低減

Ge プリアモルファス化により主としてエクステンション領域のシート抵抗成分を改善した。

このようにして各素子に関して寄生抵抗分析を行ってみると、今回試作した pFET で一番寄生抵抗に効いたのはエクステンション部の不純物拡散層のシート抵抗成分であった。Ge プリアモルファス化なしの場合にこのシート抵抗は $\rho_s = 2.8 \text{ k}\Omega/\square$ であったが、Ge プリアモルファス化を行うと $1.0 \text{ k}\Omega/\square$ を切った。

シート抵抗が改善された素子では次に $R_{sp} + R_{ac}$ の成分が支配的になっていると思われる。 R_{sp} は解析的には X_j にも比例する項の存在が知られており[4.8]、Ge プリアモルファス化を適用することで X_j の縮小と同時にその寄与も小さくできる。また R_{ac} に関してはゲート電極とエクステンション部のオーバーラップ量を減らして、かつ横方向の不純物濃度分布を急峻にすれば減少できるので、この成分も基板プリアモルファス化の適用で小さくなると予想される。したがって寄生抵抗も Ge プリアモルファス化プロセスの導入によって改善されるため、4.2 節で示した寄生抵抗の目標値はこの $0.15 \mu\text{m}$ 世代ではおおよそ達成できたといえる。さらに低加速エネルギーの BF_2 イオン注入をおこなった場合には一層の抵抗改善が必要であるが、それは今後の検討課題として 4.7 節で議論する。

最後に図4.20に L_{eff} が約 $0.15 \mu\text{m}$ の pFET の I_d - V_d 特性を示す。Ge プリアモルファス化適用により寄生抵抗が低減されたので 3 極管領域においてその電流特性の立ち上がりが急になっている。5 極管領域においては寄生抵抗の改善により約 10 % のドレイン電流駆動力改善が実現した。

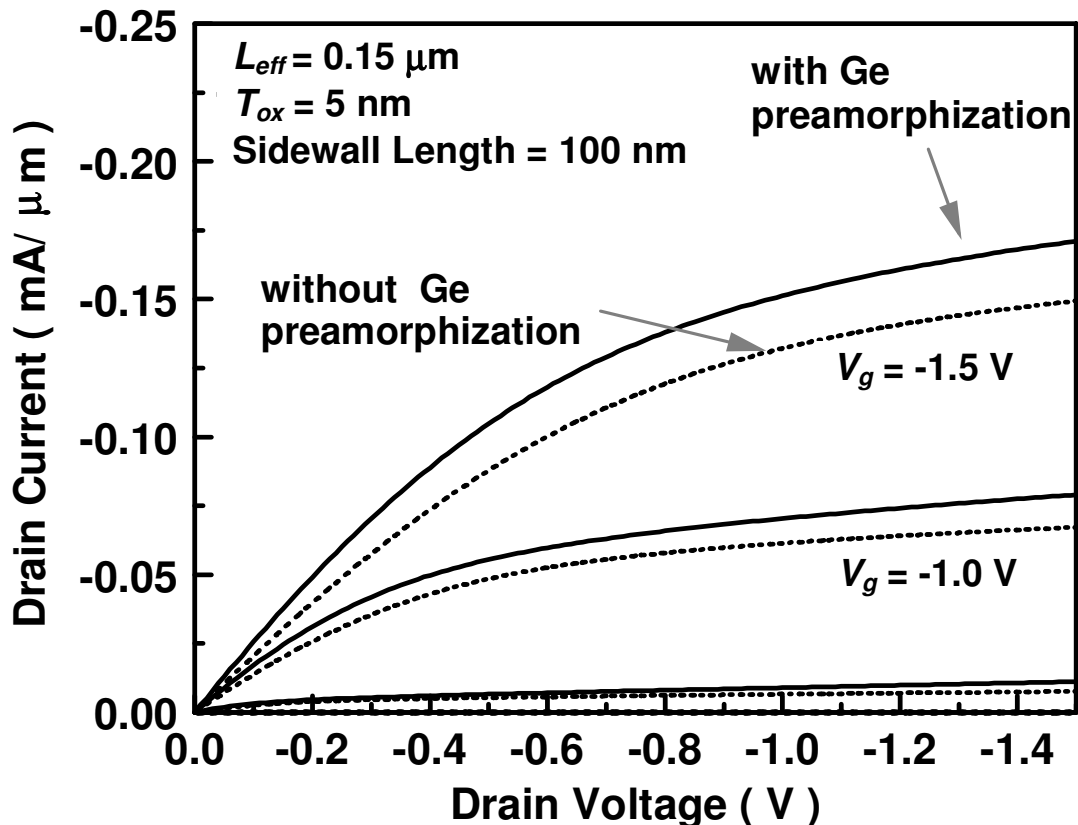


図 4.20 Ge プリアモルファス化による pFET の I_d - V_d 特性の改善

4.7 ソース・ドレイン領域の浅い接合形成に関する今後の展望

この章では実効ゲート長が 100 nm-150 nm の世代の pFET をターゲットとして寄生抵抗と接合深さの関係を議論してきた。しかしながらさらに世代が進んだ場合には、デバイス性能を改善するためには図 4.1 に示したように接合深さを浅くしながらも寄生抵抗を減らしていかなければならない。

ITRS2001 年版においては接合深さと S/D エクステンション領域のシート抵抗に対して図 4.21 のような予測がなされている。またこの図面の上方に、各世代で使われる（もしくは使われることが予想される）浅い接合形成技術を併記した。

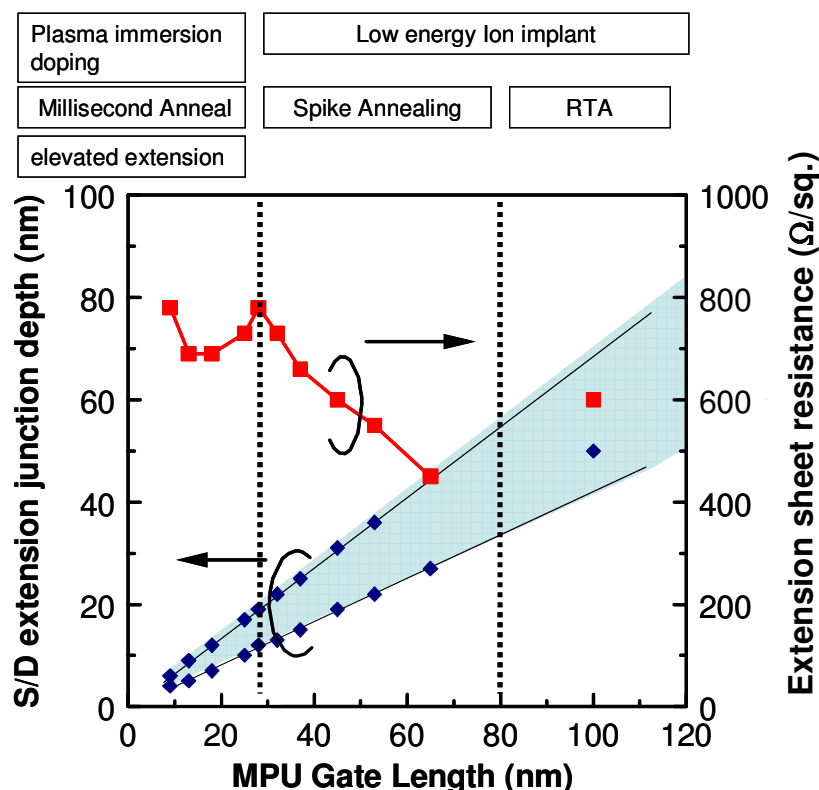


図 4.21 ITRS2001 における実効ゲート長と接合深さの上限・下限領域（着色部）の関係、及びエクステンション部のシート抵抗の予想値。

各世代で使われると予想される接合形成技術も併記した。

従来から低加速エネルギーイオン注入技術と短時間アニーリング (RTA) の組み合わせでソース・ドレイン部の浅い接合が形成されてきた。しかしながら世代が進むとアニール時間中の不純物イオンの熱拡散が無視できなくなってくる。それを防止するためにスパイクアニーリング (Spike Annealing) と呼ばれるアニール手法が用いられる。これは温度の昇降速度をたとえば 150°C/sec. 以上にして、不純物が活性化する高温領域まで一気に加熱して短時間で冷却するという技術である[4.21]。RTA よりも高温領域まで加熱するので不純物の活性化率は改善されるが、その温度下で一定時間放置されないで、不純物の熱拡散は RTA に比べて低減するというメリットがある。（この技術は第 5 章の素子に用いた。）

さらに世代が進むと短チャネル効果を抑制するために接合深さを浅くする必要があり、一方でエク

ステンション領域における不純物拡散層のシート抵抗は上昇する。図 4.21 において $L_g = 70$ nm から 30 nm の領域にかけてシート抵抗値が上昇しているのはアニール方法が劇的に改善されないで活性化率向上も期待できず、拡散層が浅くなった分だけ抵抗値が増大する結果となっている。その状況を改善するために近い将来には低加速エネルギーイオン注入の発展形であるプラズマドーピング (plasma immersion doping) [4.22] と極短時間アニーリングの適用が検討されている [4.23]。これらは注入深さを増大させずに短時間で不純物をシリコン基板中に導入でき、また不純物の活性化率を改善する一方で不純物を熱拡散させないという仕組みである。

さらに拡散層抵抗を低減するために、S/D エクステンション部の基板をシリコンのエピタキシャル成長技術を用いて基板面よりも盛り上げる形にしてそこに不純物拡散層を形成することも試みられている。この方法によれば基板中の接合深さは実効的に浅いが、不純物拡散層自体の厚みは大きいのでシート抵抗の低減が図れる。(第 8 章参照)

4.8 第 4 章のまとめ

本章では微細pFET形成時において、ボロンを用いたS/D エクステンション領域の寄生抵抗がSiNによるゲート側壁スペーサー形成工程によって増大するという問題点の発見に始まり、その原因の一つが水素によるボロンの不活性化にあるという事実を実験的に確かめた。さらにボロンの不活性化はSi基板のアモルファス化効率に依存することを見出し、GeによるSi基板のプリアモルファス化を導入して寄生抵抗の低減を試みた。さらにこのプロセスを最適化しながら $L=0.15\ \mu\text{m}$ までのpFET試作に適用して、寄生抵抗の低減と電流駆動力の向上を確認した。

第 4 章の参考文献

- [4.1] A. Toriumi, T. Mizuno, M. Iwase, M. Takahashi, H. Niiyama, M. Fukumoto, S. Inaba, I. Mori and M. Yoshimi, "High speed 0.1 μm CMOS devices operating at room temperature," *1992 International Conference on Solid State Device and Materials (SSDM)*, pp.487-489, (1992).
- [4.2] M. Iwase, T. Mizuno, M. Takahashi, H. Niiyama, M. Fukumoto, K. Ishida, S. Inaba, Y. Takigami, A. Sanda, A. Toriumi and M. Yoshimi, "High-performance 0.10- μm CMOS devices operating at room temperature," *IEEE Electron Device Letters*, EDL-14, No.2, pp.51-53, (1993).
- [4.3] A. Hori, H. Nakaoka, H. Umimoto, K. Yamashita, M. Takase, N. Shimizu, B. Mizuno and S. Odanaka, "A 0.05 μm -CMOS with ultra shallow source/drain junctions fabricated by 5 keV ion implantation and rapid thermal annealing," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp.485-488, (1994).
- [4.4] M. Saito, T. Yoshitomi, M. Ono, Y. Akasaka, N. Nii, S. Matsuda, H.S. Momose, Y. Katsumata, Y. Ushiku and H. Iwai, "An SPDD P-MOSFET structure suitable for 0.1 and sub 0.1 micron channel length and its electrical characteristics," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp.897-900, (1992).
- [4.5] M. C. Ozturk, J. J. Wortman, C. M. Osburn, A. Ajmera, G. A. Rozgonyi, e. Frey, W. -K. Chu, and C. Lee, "Optimization of the Germanium Preamorphization Conditions for Shallow-Junction Formation," *IEEE Trans. Electron Devices*, ED-35, No.5, pp.659-668, (1988).
- [4.6] M. C. Ozturk and J. J. Wortman, "Electrical properties of shallow p^+ -n junctions formed by BF_2 ion implantation in germanium preamorphized silicon," *Applied Phys. Lett.*, vol. 52, No.4, pp. 281-283, (1988).
- [4.7] C. H. Sodini, P. K. Ko, and J. L. Moll, "The effect of high fields on MOS device and circuit performance," *IEEE Trans. Electron Devices*, ED-31, No. 10, pp. 1386-1393, (1984).
- [4.8] K. K. Ng and W. T. Lynch, "Analysis of the gate-voltage-dependent series resistance of MOSFET's," *IEEE Trans. Electron Devices*, ED-33, No. 7, pp. 965-972, (1986).
- [4.9] Y. Taur, D. S. Zicherman, D. R. Lombardi, P. J. Restle, C. H. Hsu, H. I. Hanafi, M. R. Wordeman, B. Davari, and G. G. Shahidi, "A new 'Shift and Ratio' method for MOSFET channel-length extraction," *IEEE Electron Device Letters*, EDL-13, pp. 267-269, (1992).
- [4.10] K. Terada and H. Muta, "A new method to determine effective MOSFET channel length," *Jpn. J. Appl. Phys.* vol. 18, pp. 953-959, (1979).
- [4.11] M. Minondo, D. Roche, and C. Jaussaud, "Characterization of ultrashallow p^+ profiles by spreading resistance measurements," *Jpn. J. Appl. Phys.*, vol. 33, pp. 2439-2443, (1994).

- [4.12] S. Inaba, A. Murakoshi, M. Tanaka, H. Yoshimura, F. Matsuoka, and Y. Toyoshima, "Increase of Parasitic Resistance in Shallow p^+ Extension by SiN Sidewall Process and its improvement with Ge preamorphization for sub-0.25 μm pMOSFETs," *IEEE Transactions on Electron Devices*, ED-46, No.6, pp. 1218-1224, (1999).
- [4.13] 吉田、佐々木:「p型シリコン結晶の水素による不動態化のからくり」、**日本物理学会誌**、44巻、pp.657-663、(1989)
- [4.14] J. I. Pankove, D. E. Carson, J. E. Berkeyheiser, and R. O. Wance, "Neutralization of Shallow Acceptor Levels in Silicon by Atomic Hydrogen," *Phys. Rev. Lett.*, vol. 51, pp. 2224-2225, (1983)
- [4.15] C. T. Sah, J. Y.-C. Sun, and J. J.-T. Tzou, "Deactivation of the boron acceptor in silicon by hydrogen," *Appl. Phys. Lett.*, vol. 43, pp. 204-206, (1983)
- [4.16] M. N. Johnson, "Mechanism for hydrogen compensation of shallow acceptor impurities in single-crystal silicon," *Phys. Rev. B*, vol.31, pp. 5525-5528, (1985)
- [4.17] M. Stavola, "Structure and reorientation kinetics of hydrogen passivated shallow impurities in silicon from vibrational spectroscopy," *Physica B*, vol. 170, pp. 325-334, 1991.
- [4.18] H. Shibata and K. Hashimoto, "Time Dependent Resistance Increase in Poly-Si Load Resistor due to Hydrogen Diffusion from Plasma-Enhanced Chemical Vapor Deposition Silicon Nitride Film in High Density Static Random Access Memories," *Jpn. J. Appl. Phys.*, vol. 33, pp. 1298-1304, (1994)
- [4.19] J. Chung, M. -C. Jeng, J. E. Moon, A. T. Wu, T. Y. Chan, P. K. Ko, and C. Hu, "Deep-Submicrometer MOS Device Fabrication Using a Photoresist-Ashing Technique," *IEEE Electron Device Letters*, EDL-9, No.4, pp. 186-188, (1988)
- [4.20] R. B. Fair, "Junction Formation in Silicon by Rapid Thermal Annealing" in *Rapid Thermal Processing Science and Technology*, edited by R. B. Fair Academic Press, INC.(San Diego), 1993 Chapter 6
- [4.21] S. Shishiguchi, A. Mineji, T. Hayashi, and S. Saito, "Boron Implanted Shallow Junction Formation By High-temperature/Short-time/high-ramping-rate(400C/sec) RTA," *1997 Symposium on VLSI Technology*, pp.89-90, Kyoto, Japan, (1997).
- [4.22] B. Mizuno, M. Takase, I. Nakayama, and M. Ogura, "Plasma doping of boron for fabricating the surface channel sub-quarter micron PMOSFET," *1996 Symposium on VLSI Technology*, pp.66-67, Honolulu, HI, (1996).

- [4.23] K. Adachi, K. Ohuchi, N. Aoki, H. Tsujii, T. Ito, H. Itokawa, K. Matsuo, K. Suguro, Y. Honguh, N. Tamaoki, K. Ishimaru and H. Ishiuchi, “Issues and optimization of millisecond anneal process for 45 nm node and beyond,” *2005 Symposium on VLSI Technology*, pp.142-143, Kyoto, Japan, (2005)

第 5 章 ゲート長 35 nm の高性能 CMOS デバイスの試作と評価

5.1 第 5 章の概要

NO オキシナイトライドゲート絶縁膜と Ni サリサイド工程を用いてゲート長 35 nm の CMOS デバイスを試作した。ゲート絶縁膜のオキシナイトライド中の窒素濃度プロファイルはゲートリーク電流 I_g と pFET におけるボロン突き抜け防止の観点から最適化した。また MOL(Middle of the Line)における熱工程削減により、S/D エクステンション部の接合深さ X_j を浅くし、同時にゲートポリシリコンの空乏化抑制を試みた。最終的に電流駆動力として nFET で $676 \mu\text{A}/\mu\text{m}$ 、pFET で $272 \mu\text{A}/\mu\text{m}$ （どちらも $|V_{dd}| = 0.85 \text{ V}$ 、かつ $I_{off} = 100 \text{ nA}/\mu\text{m}$ ）を達成した。

5.2 本研究の背景

2001年にSIAから示されたInternational Technology Roadmap for Semiconductor(ITRS 2001)によると、2004年ごろ生産開始予定のsub-40 nm ゲート長世代の高性能CMOSデバイスでは、1.0 Vの動作電圧に対して電流駆動力 I_{on} がそれぞれ、nFETでは900 $\mu\text{A}/\mu\text{m}$ 、pFETでは400 $\mu\text{A}/\mu\text{m}$ 程度になると予測している。この世代はITRS 1999版での定義では70 nm nodeに、2001年度版の定義では90 nm nodeに相当し、中心となるゲート長は37 nm程度と予測されている。

すでに2000年までにこの世代に向けていくつかのsub-50 nm CMOS デバイスが報告されている [5.1-5.4]。しかしながら2001年当時、電流駆動力の性能面ではどれもまだ十分なレベルに達しているとはいいがたく、また高性能化するためのガイドラインを明確化している論文も少なかった。さらに近い将来に必要となる0.85~0.75 Vレベルの低電圧動作を想定すると、より高電流駆動力達成が困難になる。

このように世代が進むにつれてデバイスデザインも製造プロセスも厳しくなる状況下で、微細化によるCMOSデバイス高性能化を達成するには解決すべき多くの問題点がある。たとえばMOSFETのしきい電圧 V_t を例にとれば、低電圧動作を前提とすると、 V_t の絶対値の低減と同時に短チャネル効果(SCE)の制御によるオフリーク電流(I_{off})の抑制が必要である。しかしsub-50 nm領域ではこれらの両立が非常に難しい。単にオフリーク電流を低減させるだけであれば V_t の設定値を高くすると達成されるが、それでは電流駆動力を十分大きくできない。

1個のMOSFETのイントリンシックなゲート遅延時間 CV/I はゲート長を縮小し、オフリーク電流 I_{off} をたとえば100 nA/ μm 以下まで低減すると従来のトレンドに載る[5.1-5.4]。しかし、MOSFETの寄生容量効果、さらに配線容量による遅延時間の増大などを考慮すると、素子の微細化によって十分な電流駆動力が得られなければ実際のゲート遅延時間は増大するためLSIとしての性能が頭打ちになるのは明白である。

すなわち、低い V_t の達成とパンチスルー抑制、さらに寄生効果抑制、ならびにゲート電極の空乏化抑制などを全て実現できてはじめてsub-50 nm CMOSデバイス的高速スイッチング動作が可能になり、将来のULSIの真の高性能化に寄与できる。

低い V_t の達成とパンチスルーの抑制には、S/D エクステンション形成後の熱工程履歴の最小化と、チャネル領域・Halo領域に対する特別かつ適切な不純物プロファイルのデザインが重要な鍵である。

本章では微細化によるCMOS素子の高性能化を目的とし、これらの鍵となるポイントの重要度を検証しながらゲート長35 nmのCMOSデバイスの試作・評価を行った。結果的にsub-50 nm領域のCMOSデバイスにおいても高性能化を達成し、従来からのトレンドに沿った素子微細化による電流駆動力改善の見通しを得た。

5.3 35 nm CMOSデバイス試作上のキーポイント

今回の実験では 35 nm までの極微細ゲート長をもつ nFET と pFET を同一の Si (100) 基板上に試作した。この一連の検討においては重要と思われる検討項目に関して各々予備的な実験を行い、その結果を最終的に実際の 35 nm CMOS 素子の試作条件にフィードバックした。予備実験時にもゲート長 40 nm 以下を実現するようなゲート加工を行って各試作条件間のデバイス特性比較を行った。

特にチャネル領域と Halo 領域の不純物プロファイルと電流駆動力の関係については系統的に実験を行い、高い電流駆動力を実現するための不純物のドーピング条件を見出した。今回は低い V_t と短チャネル効果抑制を両立するために Super Steep Retrograde Channel Profile (SSRCP) を採用した。そのためチャネル領域への不純物導入は nFET についてはインジウム (Indium)、pFET については砒素 (Arsenic) のイオン注入を行った。これらのイオン注入条件は最初は TCAD シミュレーションで sub-1.0 V の動作電圧を想定して低しきい値を実現するように決定され、それを予備実験で確認してから最終的な 35 nm CMOS 試作に用いた。

またゲート絶縁膜には NO (一酸化窒素) ガスによって形成されるシリコンオキシナイトライド絶縁膜 (SiON) を用いた。今回は最初に 1.0 nm もしくは 1.2 nm の膜厚をもつ極薄膜 SiO₂ (ベース酸化膜) を形成し、次に NO ガスで窒化してシリコンオキシナイトライド (SiON) を形成した。ゲート絶縁膜中の窒素濃度はゲートリーク電流 I_g の抑制と、pFET でゲート電極からチャネル領域へのボロンの突き抜け抑制の両者に注意して最適化した。これにより従来用いられてきた N₂O (二酸化窒素) ガスによるオキシナイトライドと比較してチャネル近傍の窒素濃度プロファイルを制御できるようになった。さらに MOL (Middle of the Line: 本論文ではゲート絶縁膜形成工程からコンタクト形成工程までを指す。) における熱工程履歴を少なくして、S/D のエクステンション領域の接合深さの最小化を試みた。そのために今回は SiO₂ によるゲート側壁スペーサーと、ニッケル (Ni) によるサリサイド工程を採用し、さらに低温で形成される PMD (Pre-Metal Dielectrics) と層間絶縁膜を堆積した。浅い S/D エクステンション領域は非常に低いエネルギー (1.0 keV 以下) のイオン注入技術を用いて形成し、不純物の活性化にはスパイクアニリングを適用した (4.7 節参照)。

ゲート電極部を中心にしたゲート長 35 nm の MOSFET の断面 TEM (Transmission Electron Microscopy) 写真を図 5.1 に示す。ゲート電極は KrF レーザによるリソグラフィとレジストパターンのトリミングで加工しており、30 nm 程度の寸法のパターンまで形成された。また極薄膜のシリコンオキシナイトライド絶縁膜上のゲートポリシリコンは高選択比をもつ RIE を用いて加工した。ゲート電極底部においては小さなノッチ形状 (くぼみ形状) となっているのが観測された [5.5]。

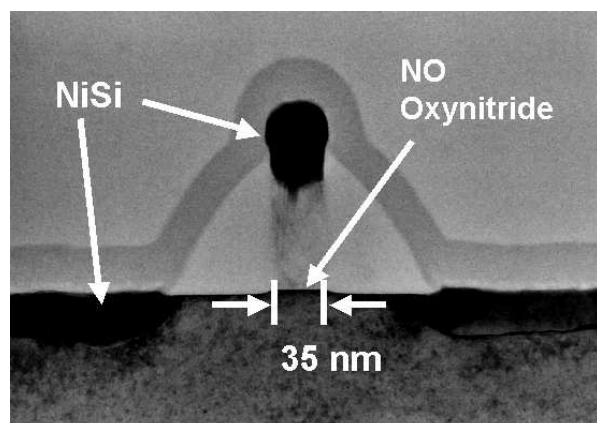


図 5.1 今回試作した 35 nm ゲート長 MOSFET の断面 TEM 写真

5.4 チャンネルと Halo 領域の不純物濃度プロファイル設計

高性能な sub-50 nm CMOS デバイスを実現するためには、しきい値電圧 V_t を 0.1 V 近くまで低減した場合でも十分なパンチスルーの抑制によりオフリーク電流 I_{off} を十分低減する必要がある。これに対する施策としてすでに Si 基板中での 2 次元非一様の不純物濃度プロファイルの適用、たとえば super halo structure [5.6] や steep halo structure [5.7] などが提案され、シミュレーションなどでその有用性が議論されている。これらは高性能化に必要な「パンチスルー抑制と基板表面近くの不純物濃度低減の両立」という目的に対しては理想的であると思われる。

しかし sub-50 nm 領域のゲート長になる世代では、現在使用可能な最新のイオン注入技術を適用してもそのような 2 次元で高度に制御された不純物濃度プロファイル形成は非常に困難である。これはゲート長が小さくなると、S/D エクステンション端近くだけに限定した Halo 領域の不純物ドーピングが難しく、実際にはゲート直下のチャンネル領域にも不純物が導入され、理想的な不純物濃度プロファイルから外れるためである。

そこで最初にゲート電極形成前のチャンネル領域への不純物ドーピング条件とゲート電極形成後の Halo 領域への不純物ドーピング条件を適宜変化させて DC 特性に対する影響を調べた。ここでは

(1) チャンネル不純物濃度が高く、Halo 領域形成時のイオン注入量が低い

(2) その逆でチャンネル領域の不純物濃度が低く、Halo イオン注入量が多い

という二つの場合を比較した例を示す。チャンネル領域へのドーピングはインジウム (In) を、Halo 領域へのドーピングは BF_2 を用いた。

図 5.2 に nFET における両者の V_t roll-off の関係を示した。今回の結果ではチャンネル不純物濃度の高い (1) の場合において、 V_t roll-off 自体は比較的大きいが、 $L = 40$ nm 付近では (1) の場合と (2) の場合で V_t はほぼ一致するドーピング条件が見出されている。

図 5.3 には上記 (1) と (2) の場合について $I_{on} \cdot I_{off}$ の関係を示す。結果は (1) の nFET がある一定の I_{off} の値に対して 5 % ~ 10 % 高い電流駆動力 I_{on} を示している。そこで両者の違いを明らかにするために、より詳しく他のデバイスパラメータを調べてみた。

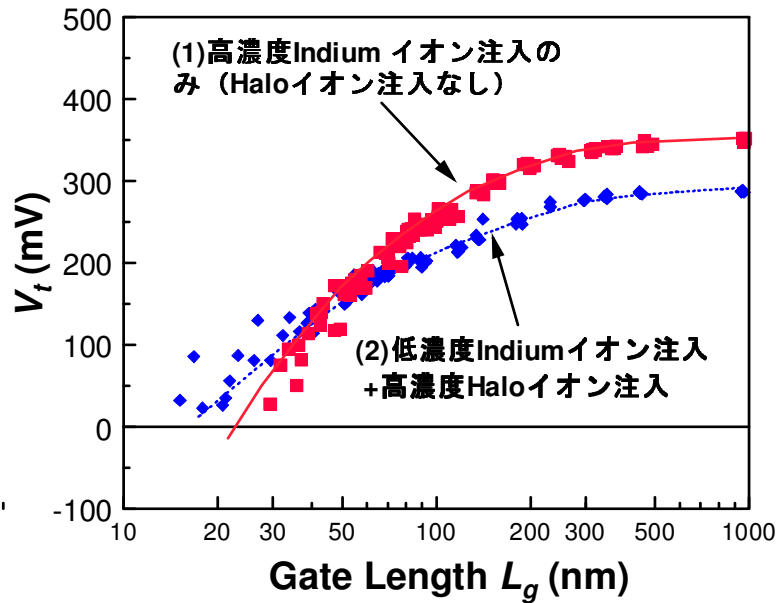


図 5.2 (1)チャネル不純物濃度が高い場合と(2)Halo 不純物濃度が高い場合における nFET の V_t roll-off の違い。

(1)の場合が V_t roll-off が大きくなっているが、 $L = 40$ nm 付近で両者の V_t はほぼ一致する。

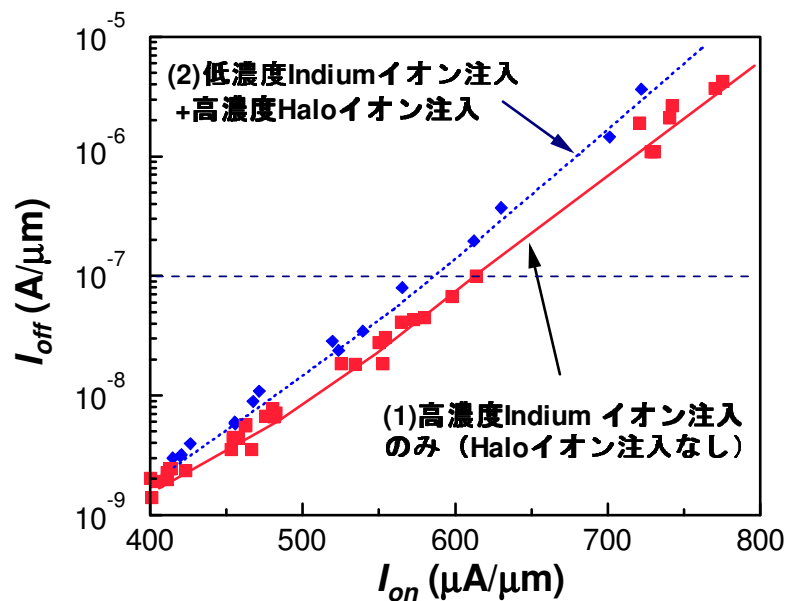


図 5.3 (1)チャネル不純物濃度が高い場合と(2)Halo 不純物濃度が高い場合における nFET の I_{on} ・ I_{off} の違い。

同一の I_{off} で比較すると I_{on} が(1)の場合で 5~10% 高くなっている。

図 5.4 に両 nFET の S/D エクステンション部のシート抵抗 R_s とゲート・ドレイン間容量 (C_{ov}) について(1)と(2)を比較した。(2)の場合の”チャネル不純物濃度が低く、Halo 部の不純物濃度の高い”試料が S/D エクステンション領域におけるシート抵抗は約 10 % 大きく、また C_{ov} は 5 % 程度小さい。

これらから S/D エクステンション領域（特にエクステンション端近傍）での寄生抵抗が両者の場合で異なり、それが電流駆動力の差に寄与すると推測される。

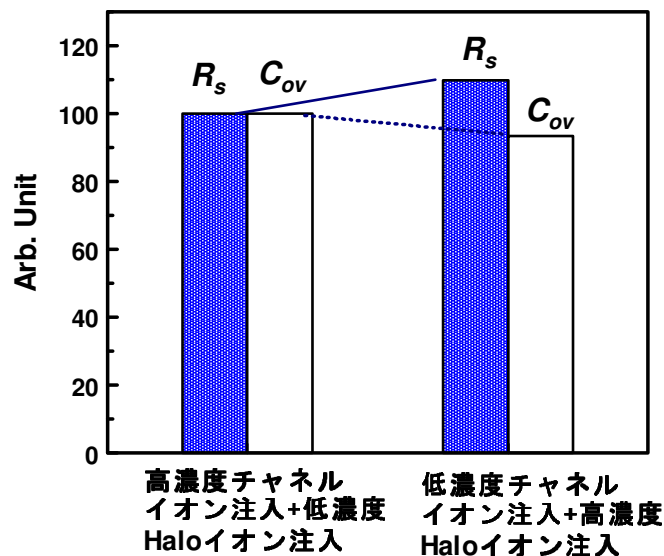


図 5.4 (1)チャネル不純物濃度が高い場合と(2)Halo 不純物濃度が高い場合におけるエクステンション部シート抵抗 R_s とオーバーラップ容量 C_{ov} の違い。

(2)の場合で 10%高い R_s と 5%小さい C_{ov} が観測されており、これが電流駆動力に影響を及ぼしている。

(1)の nFET におけるチャネル部不純物濃度プロファイル SIMS(Secondary Ion Mass Spectroscopy)で解析した。結果を図 5.5 に示す。今回のサンプルでは、チャネル領域の不純物である In の濃度は基板表面において $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下である。それが深さ 60-70 nm 程度でその濃度は約 $8 \times 10^{18} \text{ cm}^{-3}$ のピークを持つ。さらに深いところでは、たとえば深さ 120 nm 付近において濃度はまた $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度まで下がる。

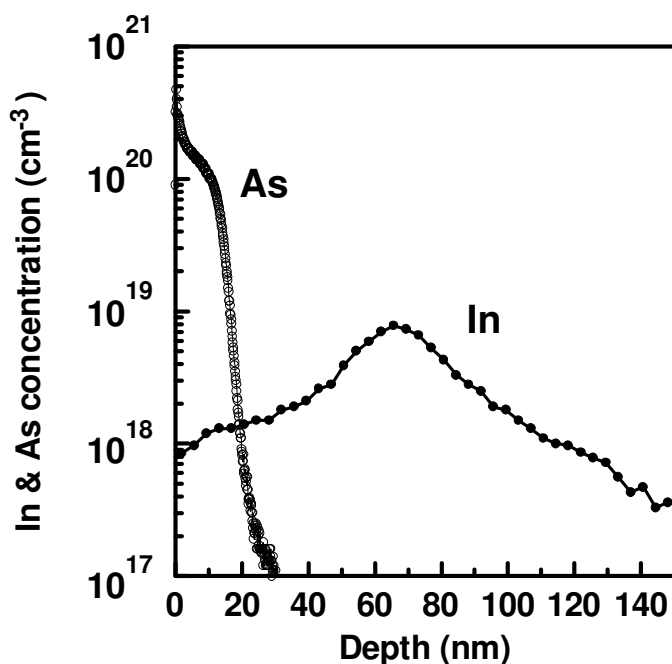


図 5.5 nFET のチャネル部の In と S/D エクステンション部の As 不純物プロファイル。 In

は深さ 60 - 70nm でピーク濃度 $8 \times 10^{18} \text{ cm}^{-3}$ を持つ。

つまりこれによりパンチスルー抑制と表面側と基板の奥側での低不純物濃度の両立がなされ、比較的理想的な SSRCP を実現できた。今回はこれらのデータから、ゲート長 35 nm のところで比較的電流駆動力が大きくなるようなチャネル領域と Halo 領域の形成条件の組み合わせを見出し、これ以降の素子試作に採用した。

図 5.6 には電流駆動力を最適にするプロセス条件を想定してプロセスシミュレーションを行い、結果として得られた不純物濃度分布の例を示した。これにより 35nm ゲート長領域においても従来の SSRCP を改善し、電流駆動力を大きくしながら短チャネル効果を比較的良好に抑制できる。

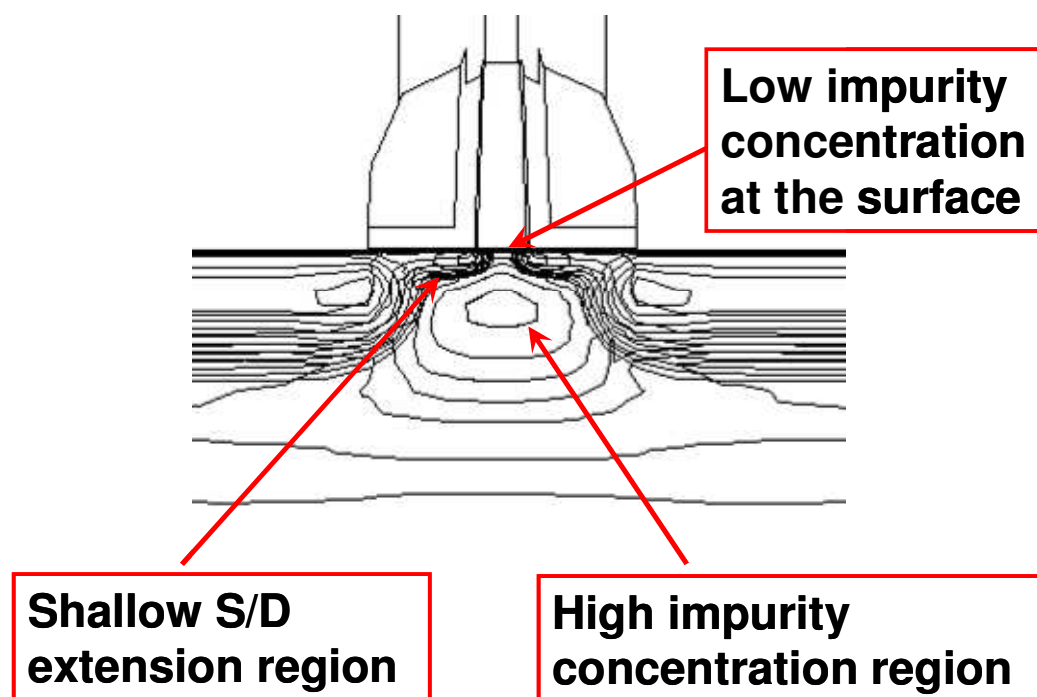


図 5.6 電流駆動力を最大化するための 35 nm nFET のチャネル不純物濃度分布
(2 次元プロセスシミュレーター TOPAZ V2 による。)

S/D エクステンション領域より少し下側に高不純物濃度領域を形成してパンチスルーを抑制する。一方、基板表面と基板奥においては低不純物濃度として移動度劣化を最小化する。この不純物プロファイルにより電流駆動力向上と短チャネル効果抑制を両立可能である。

5.5 一酸化窒素ガスを用いたシリコンオキシナイトライドゲート絶縁膜の形成

現在 sub-50 nm CMOS において、特に高性能が要求される素子に関してはゲート絶縁膜を薄膜化することで高い電流駆動力を実現している。ただし直接トンネリング電流 (Direct Tunneling Current) が無視できない領域にまで薄膜化されるようになってきたので、絶縁膜厚が減少するとゲートリーク電流の指数関数的増加が見られる。またゲート絶縁膜の薄膜化により pFET におけるゲート電極からのボロンの突き抜けによるしきい値バラツキも問題になる。その解決のためにはいくつかのゲート絶縁膜形成方法が提案されている。一つはシリコン窒化物 / シリコン酸化物の積層構造を用いるものである[5.2-5.4]。しかし、現在の 130-100 nm node CMOS などで主流となっているシリコンオキシナイトライド絶縁膜 (SiON 膜) では我々の知る限り、ゲート絶縁膜の薄膜化限界を議論した例はまだ少ない[5.8]。

本研究では sub-50 nm CMOS デバイスに対する従来技術の適応性を見るために一酸化窒素 (NO) ガスによる薄膜 SiON 絶縁膜を採用した。今回の試作においてはあらかじめ極薄膜の SiO_2 を形成してから NO ガスアニーリングを行って窒化した。(以下この最初に形成する酸化膜をベース酸化膜と呼ぶ。)

予備実験で検討したベース酸化膜厚は 1.0 nm と 1.2 nm で、さらに窒化条件としては高窒素濃度条件と低窒素濃度条件の 2 通りを検討した。酸化膜中の窒素濃度は SIMS と XPS (X-ray Photo Spectroscopy) によって解析した。図 5.7 に試作した SiON 膜中の窒素濃度プロファイルの一例を示す。ほとんどの窒素は酸化膜領域、もしくは酸化膜と Si 基板の界面近傍に導入される。これは従来用いられてきた N_2O ガスを用いた場合には得られないプロファイルであり、より好ましい方向である。

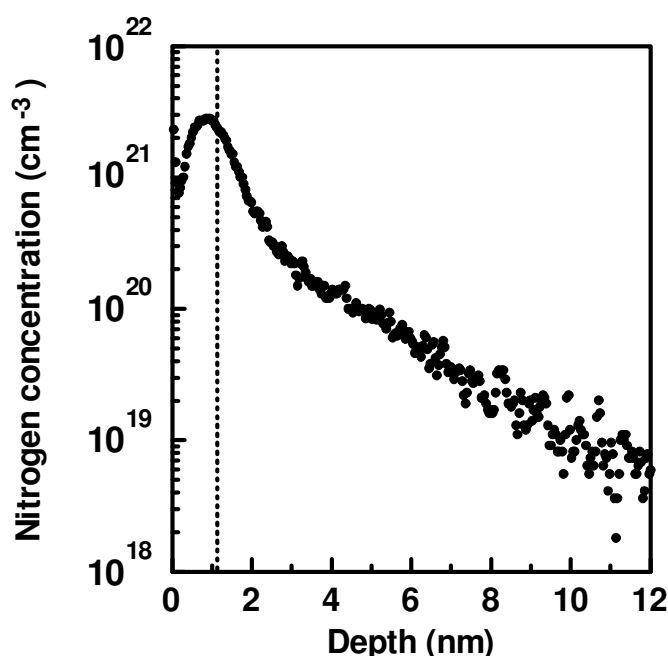


図 5.7: SiON 膜中の窒素プロファイル (ベース酸化膜厚 1.2 nm)

点線は SiON 膜と Si 基板との境界を示し、大多数の窒素は SiON 膜中
ないしは Si 基板との境界付近に存在する。

図 5.8 にはベース酸化膜厚 1.2 nm の場合の大面積 nMOSFET ($L = W = 10 \mu\text{m}$) におけるゲートリーク電流 I_g とゲート電圧 V_g の関係を示した。高窒素濃度の NO 窒化を行うことで $V_g = 0.85 \sim 1.0$ V における I_g を 1.0 A/cm^2 程度にまで低減できた。

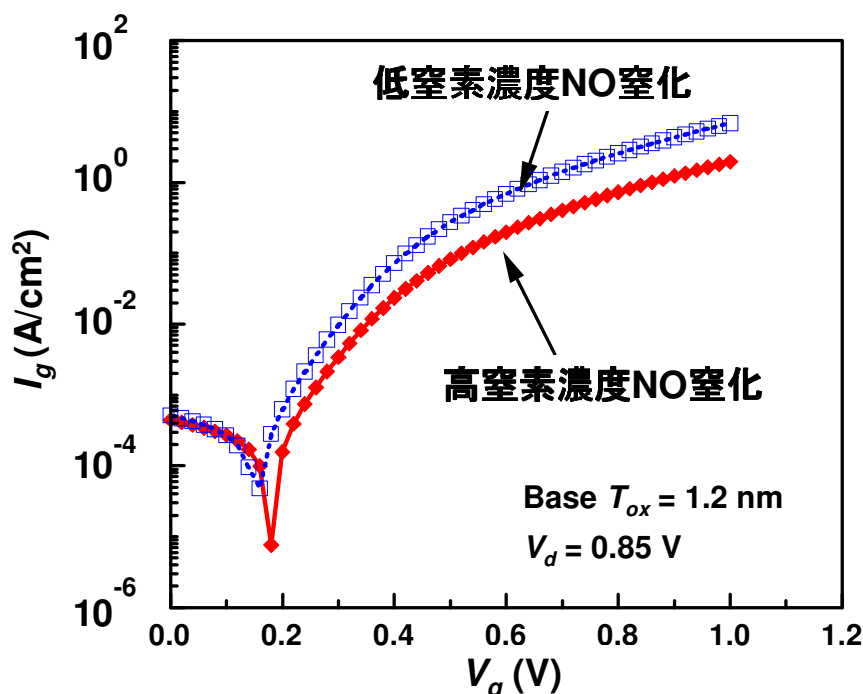


図 5.8 大面積 nFET における $I_g - V_g$ 特性 ($V_d = 0.85 \text{ V}$)

次に pFET における V_t とそのバラツキを SiON 膜形成条件を変えて比較した結果を図 5.9 に示す。この結果では窒素濃度を増大させると $|V_t|$ の増大とまた同時に V_t バラツキの標準偏差 σ の減少が示され、たとえベース酸化膜が 1.0 nm の場合でもその傾向が保たれる。したがって適切な NO 窒化プロセス適用により、ベース酸化膜厚 1.0 nm の場合においてもボロン突き抜け抑制が可能という結果が今回の実験により初めて得られた。

図 5.10 には pFET の V_t roll-off をベース酸化膜厚の異なる試料について比較した。わずか 0.2 nm の違いであるが明らかに sub-50 nm 領域における V_t roll-off は薄いベース酸化膜の方で改善されており、この薄膜領域でもゲート絶縁膜のさらなる薄膜化は素子の短チャネル効果抑制に寄与している。

以上の実験結果から、少なくともベース酸化膜を 1.0 nm 程度まで薄く形成して SiON 膜を薄膜化するメリットが今回初めて見出されたと言える。これらの結果を元にしてゲート絶縁膜の形成条件を最適化して 35 nm CMOS の試作に用いた。

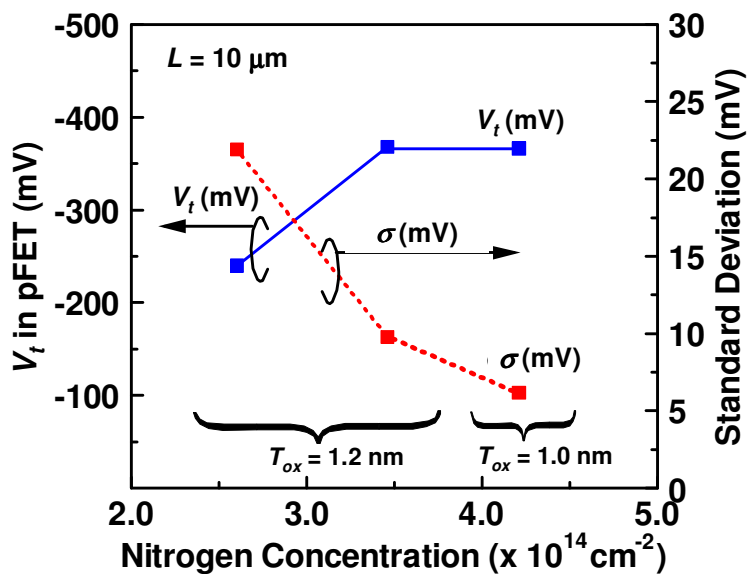


図 5.9 ゲート絶縁膜中の窒素濃度と長チャネル pFET の V_t 、並びにその標準偏差 σ との関係。

窒素濃度を高くするとボロンの突き抜けが抑制され、 V_t の絶対値が大きくなり、同時にそのバラツキも低減された。

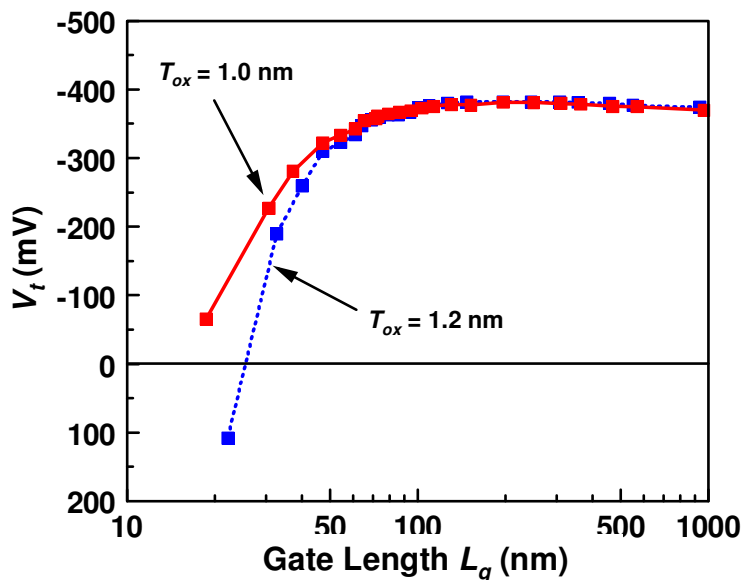


図 5.10: ベース酸化膜厚 1.0 nm と 1.2 nm の場合の pFET における V_t roll-off の違い。

ベース酸化膜の薄膜化はこの極薄膜領域でも短チャネル効果の抑制に寄与する。

5.6 MOL 工程における熱工程履歴の影響

短チャネル効果の抑制にはS/D エクステンション領域の不純物プロファイル設計を（特にpFETにおいて）十分注意して行う必要がある。今回はS/D エクステンション領域の不純物イオン注入後のMOLにおける熱工程温度の抑制を新たに試みた。ここでMOLとはMiddle of the Lineの略でゲート電極形成工程からコンタクト領域形成工程までの各プロセスのインテグレーションの総称である。また以下で用いる熱工程履歴とはThermal budgetと呼ばれ、どのような熱工程を経てきたかを概念的に述べたものである。たとえば熱工程の温度とその処理時間に着目する。これは不純物拡散や活性化率に影響を及ぼす。従来は最も高温で処理されるS/Dの活性化アニール時のRTA(Rapid Thermal Anneal)の温度や時間のみに着目し、その他の低温の熱工程（たとえば絶縁膜のCVD工程など）はあまり問題とされてこなかった[5.9]。今回はこの点にも着目して熱工程履歴の低減を試みた。具体的にはS/D エクステンション領域形成後にゲート側壁スペーサーとして低温で堆積可能なSiO₂膜を用いた。また90 nm世代のCMOSで用いられてきたシリサイド材料のCoSi₂に代わり、今回初めてNiSiを導入した。これはCoSi₂は低抵抗シリサイドへの相転移に要するRTA温度が約800°Cと高いので、この熱工程を削減するためである。さらにサリサイド (Salicide: Self-aligned silicidation) 工程後には低温で形成されるPMD (Pre-Metal Dielectrics) を堆積した。活性化RTAを行った後の熱工程の温度は全て550°C以下に抑えた。我々はまず、予備実験にてこのNiサリサイドプロセスの有効性を確認した [5.10-5.11]。

図5.11(a)と5.11(b) にn型もしくはp型S/D エクステンション領域の不純物プロファイルを示す。ここでは従来の（SiN側壁スペーサーとCoSi₂）と今回の（SiO₂側壁スペーサーとNiSi）の組み合わせを比較した。結果的にはnFET、pFETとも、低温SiO₂側壁とNiSiプロセスの適用でより浅い接合が形成された。またpFETにおいて基板中のボロンの濃度がCoSi₂プロセスよりも低温化されたNiSiプロセスの方が大きい。

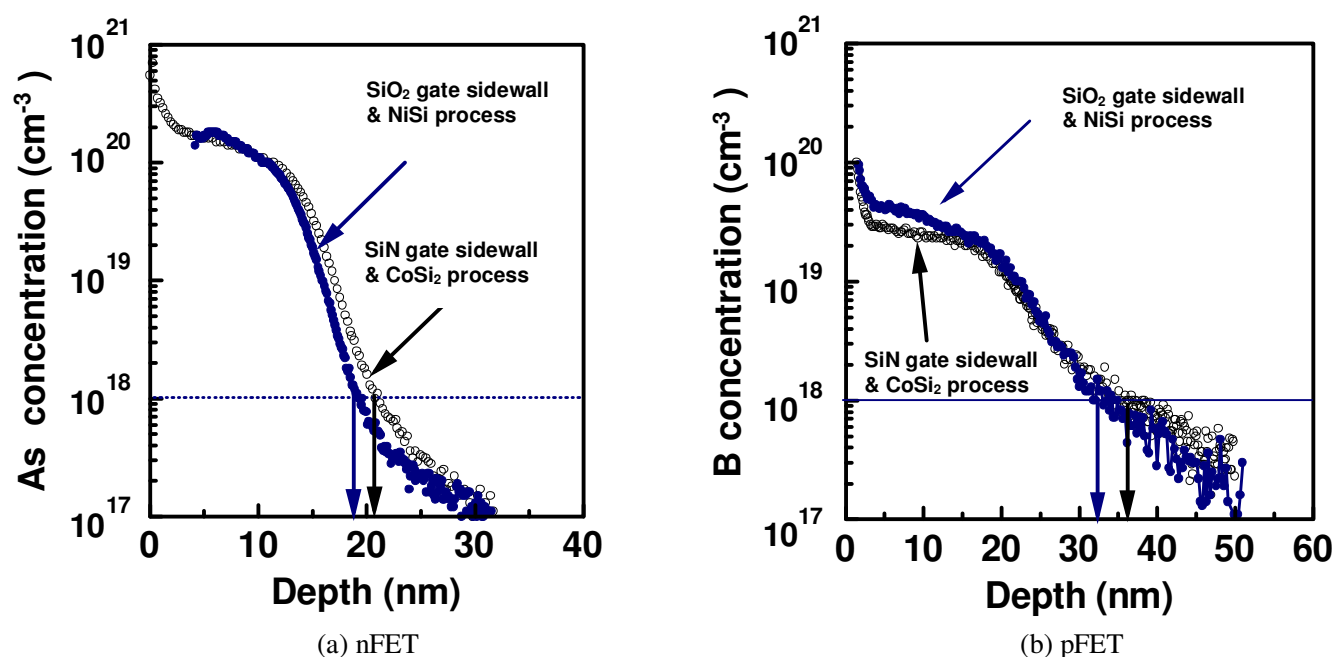


図5.11 S/D エクステンション領域のAsプロファイル(nFET)とBプロファイル (pFET)

接合深さはどちらもSiO₂ゲート側壁とNiSiの組み合わせの方が小さい。

さらに他にもNiSiプロセスを用いるメリットが見出された。図5.12ではCoSi₂とNiSiをそれぞれ適用した試料の接合リーク電流特性を比較した。NiSiを適用した試料ではシート抵抗が相対的に低いにもかかわらず、接合リーク電流はCoSi₂の場合よりも低減されて良好な特性を示す。また図5.13に両者の場合のMOSキャパシターにおけるC-V特性を比較したが、やはりMOLの低温熱工程を採用したNiSiがゲート空乏化が抑制されており良好な特性を示す。

したがってsub-50 nm CMOS領域では、浅く低抵抗なS/D エクステンションの形成やゲート空乏化改善のために、MOLにおけるプロセスの低温化にも十分な配慮が必要で、その際NiSiプロセスは非常に有効であると言える。

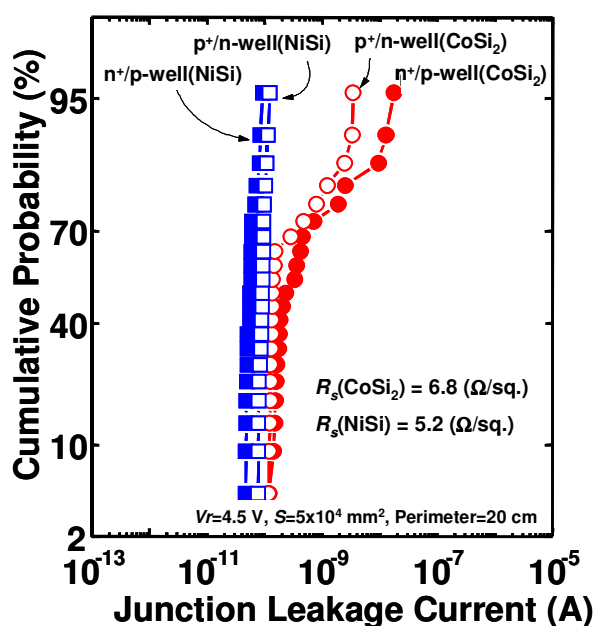


図5.12 CoSi₂とNiSiをそれぞれ適用したサンプルの接合リーク電流特性分布の比較

NiSiの方が抵抗値が小さく、そのバラツキも小さいことがわかる。

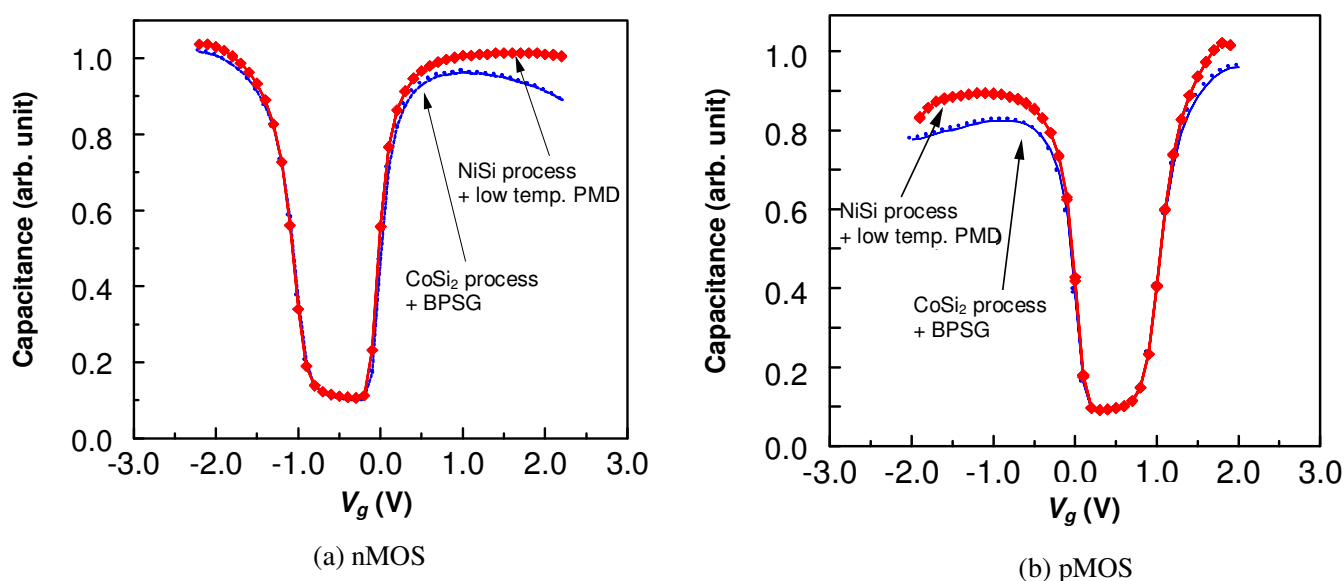


図 5.13 NiSi プロセスと CoSi₂ プロセスによる MOS キャパシターの C-V 特性の比較

NiSi を用いた低温化プロセスでゲート空乏化が抑制されて、反転側での容量が改善された。

5.7 35 nm CMOS デバイスのDC特性

前節までに議論してきた各種のプロセスの最適化を経て、それらを反映して試作した35 nm CMOS のDC特性を以下で議論する[5.10-5.11]。

まず I_d - V_g 特性と $|I_g$ |- V_g 特性を図 5.14 に示す。ここでは nFET、pFET とともに 0.85V での動作電圧の場合を示している。 $I_{off} = 100$ nA/ μ m 程度の素子で比較してみると、電流駆動力 I_{on} は、nFET では $I_{on} = 676$ μ A/ μ m、pFET では $I_{on} = 272$ μ A/ μ m を実現した。特に nFET の場合は 0.85 V 動作電圧の場合で（～2002 年 1 月までに）学会レベルで報告されている電流駆動力の中で最高の値を示している。このとき -factor（subthreshold swing）は nFET と pFET でそれぞれ 86 mV/dec. と 92 mV/dec. であり、パンチスルーが抑制され、カットオフ特性としては十分良好である [5.10-5.11]。

また nFET と pFET 両方の I_d - V_d 特性を図 5.15 に示す。pFET では nFET と比較すると I_d - V_d 特性が多少潰れ気味になっているので、3 極管領域において少し寄生抵抗が I_d に影響しているように見受けられる。したがって今回試作したデバイスのうち、pFET の電流駆動力は nFET に比較して将来改善される余地が大きいと考えられる。

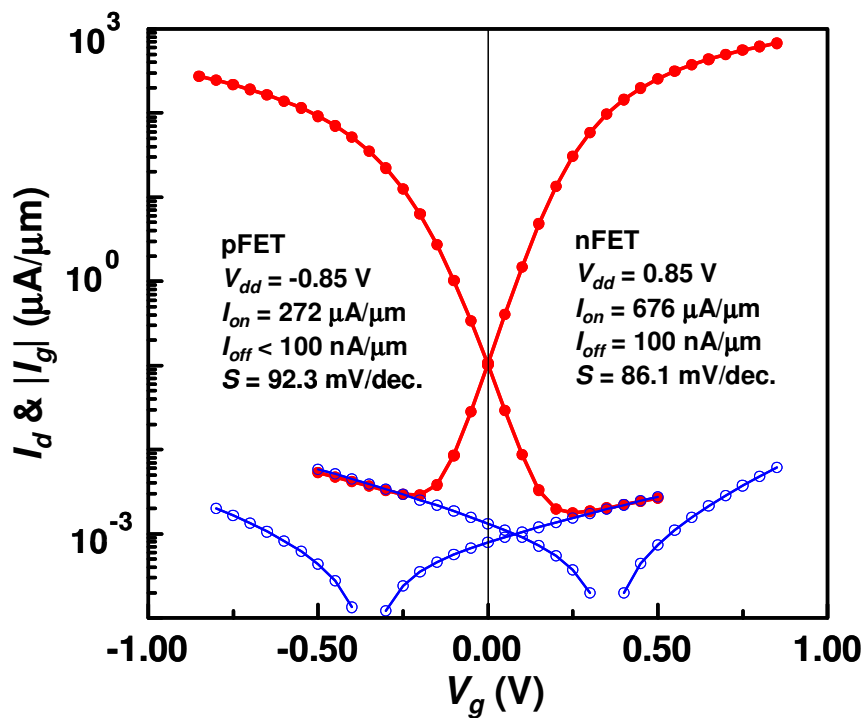


図 5.14 35 nm CMOS における I_d - V_g 特性、並びに $|I_g$ |- V_g 特性 ($|V_{dd}| = 0.85$ V)

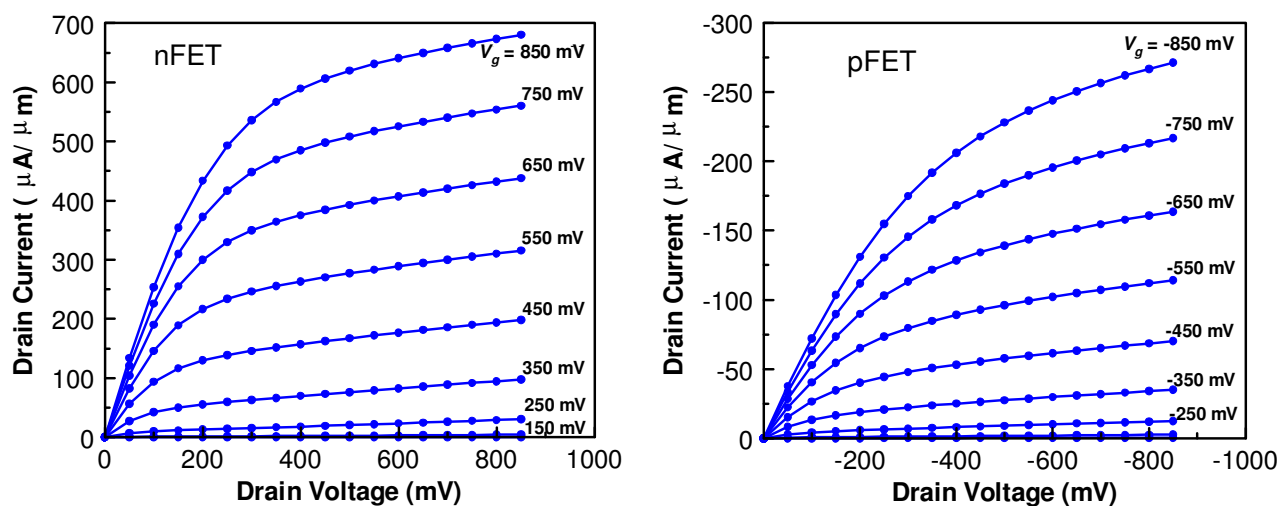


図 5.15 I_d - V_d 特性 (nFET & pFET) $|V_{dd}| = 0.85$ V

さらに図 5.16 には相互コンダクタンス G_m の特性を示した。nFET においては $G_{mmax} = 1220$ mS / mm を達成しており、これについても動作電圧 0.85 V の nFET では 2001 年 12 月時点のところで我々が知る限り最高値である。同じく pFET における G_{mmax} は 548 mS / mm であった。

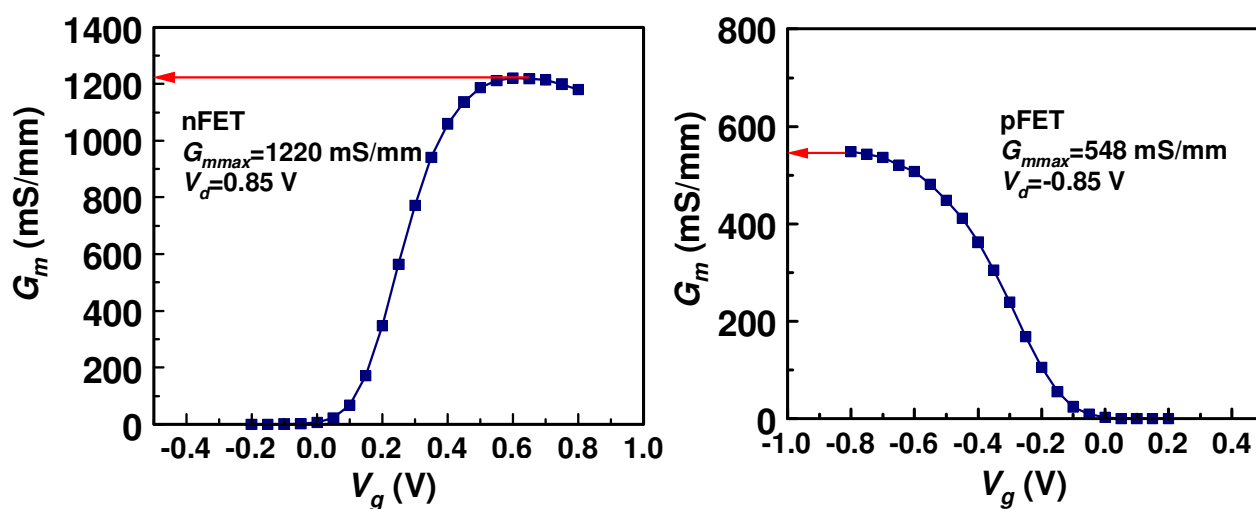


図 5.16 nFET と pFET における相互コンダクタンス特性 ($|V_d| = 0.85$ V)

nFET において 1220 mS/mm、pFET において約 550 mS/mm を達成した。

動作電圧 V_{dd} を変化させた場合の I_{on} と I_{off} の関係を nFET、pFET それぞれについて図 5.17 に示した。また図 5.17 には、現在までに報告されている MOSFET で報告されている I_{on} と I_{off} についてもプロットした。nFET で 1.0 V 以下の領域で比較すると、同程度の I_{off} に対して今回試作した CMOS 素子の I_{on} 特性が優れている。また pFET ではゲート長が同等の素子よりも低い I_{off} にもかかわらず、 I_{on} は同等、もしくは少し上回っており、今回の設計が成功したと言える。

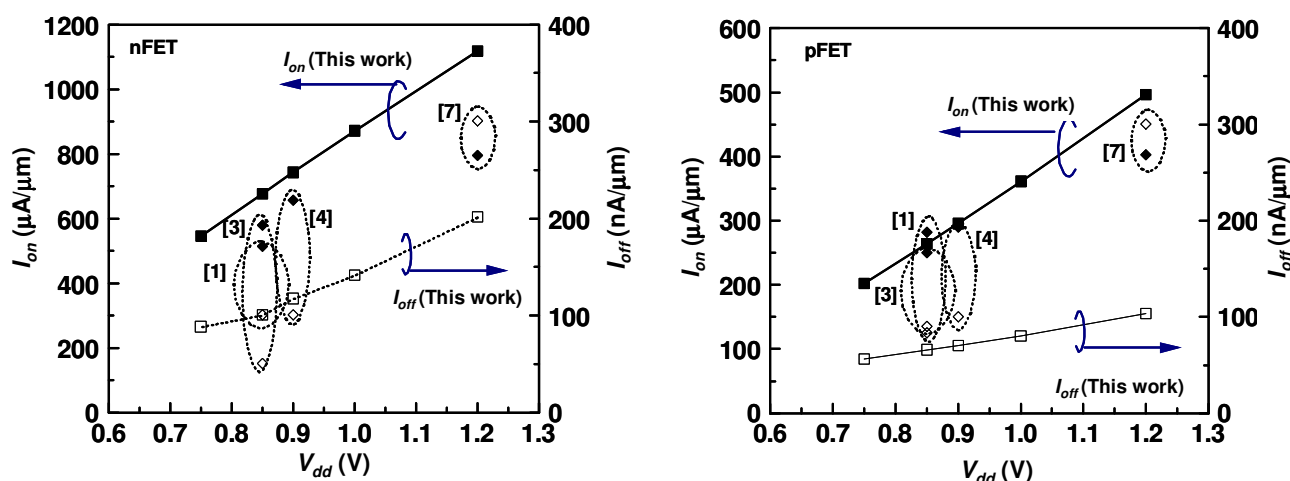


図 5.17 I_{on} - V_{dd} 特性 (closed symbols) と I_{off} - V_{dd} 特性 (open symbols)

(数字は参考文献リスト中の枝番号に対応する)

今回の CMOS デバイスは同じような素子の中で比較しても同等以上の電流駆動能力を持つ

得られた DC 特性パラメータを表 1 にまとめた。 $|V_{dd}| = 1.0$ V の動作電圧の下では nFET で $I_{on} = 871$ $\mu\text{A}/\mu\text{m}$ 、 $I_{off} = 141$ $\text{nA}/\mu\text{m}$ が得られ、pFET では $I_{on} = 361$ $\mu\text{A}/\mu\text{m}$ 、 $I_{off} = 80$ $\text{nA}/\mu\text{m}$ が得られている。また S-factor もそれぞれ 87 mV / dec. と 98 mV / dec. に抑えられており、1.0 V 動作においても十分なパンチスルー耐性が備わっている。

表 1 35nm CMOS の DC 特性パラメータ

nFET	$V_{dd} = 0.85$ V	$V_{dd} = 1.0$ V
I_{off}	100 nA / μm	141 nA / μm
I_{on}	676 μA / μm	871 μA / μm
G_m	1220 mS / mm	1240 mS / mm
S-factor	86 mV / dec.	87 mV / dec.

pFET	$V_{dd} = 0.85$ V	$V_{dd} = 1.0$ V
I_{off}	< 100 nA / μm	80 nA / μm
I_{on}	272 μA / μm	361 μA / μm
G_m	548 mS / mm	577 mS / mm
S-factor	92 mV / dec.	98 mV / dec.

この素子性能は、特に $|V_{dd}|=1.0\text{ V}$ の場合は、IRTS 2001 の 90 nm node CMOS（この世代のゲート長は 45 nm 以下）の要求をほぼ満たすレベルに達しており、さらなる性能改善の余地も十分あると考えている。したがって、今回の 35 nm CMOS デバイスの試作を通じて、極薄膜 SiON ゲート絶縁膜形成工程や低温の素子形成プロセスの導入、および素子デザインの最適化により、少なくともゲート長 35 nm 程度までは従来からのスケーリング則に基づく CMOS 素子の高性能化が今回の一連の実験で初めて実証された。

5.8 第 5 章のまとめ

NO ガスによるシリコンオキシナイトライド(SiON)と Ni サリサイドプロセスを用いて、高性能な 35 nm ゲート長の CMOS 試作に成功した。素子試作にあたってはチャネルプロファイルと MOL における熱工程を検討し、短チャネル効果が抑制されるような条件に最適化した。またゲート絶縁膜中の窒素プロファイルはゲートリーク電流と pFET におけるボロンの突き抜けを防止するような濃度に設定した。

最終的に $V_{dd} = 0.85 \text{ V}$ 、 $I_{off} = 100 \text{ nA}/\mu\text{m}$ において、 $676 \mu\text{A}/\mu\text{m}$ (nFET) と $272 \mu\text{A}/\mu\text{m}$ (pFET) という高い電流駆動力を達成した。

第 5 章の参考文献

- [5.1] R.Chau, J. Kavalieros, B. Roberds, R. Schenker, D. Lionberger, D. Barlage, B. Doyle, R.Arghavani, A. Murthy and G. Dewey: "30 nm physical gate length CMOS transistors with 1.0 ps n-MOS and 1.7 ps p-MOS gate delays," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 45-48, (2000).
- [5.2] Q. Xiang, J. Jeon, P. Sachdey, B. Yu, K. C. Saraswat and M-R. Lin: "Very high performance 40 nm CMOS with ultra-thin nitride/oxyntiride stack gate dielectric and pre-doped dual poly-Si gate electrodes," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 860-862, (2000).
- [5.3] B. Yu, H. Wang, Q. Xiang, J. X. An, J. Jeon and M.-R. Lin, "Scaling Towards 35nm Gate Length CMOS," *Symp. on VLSI Tech.*, no.2-2, pp.9-10, (2001).
- [5.4] Q. Xiang, B. Yu, H. Wang and M.-R. Lin, "High Performance Sub-50nm CMOS with Advanced Gate Stack," *Symp. on VLSI Tech.*, no. 3A-4, pp. 23-24, Kyoto, (2001).
- [5.5] T. Ghani, S. Ahmed, P. Aminzadeh, J. Bielefeld, P. Charvat, C. Chu, M. Harper, P. Jacob, C. Jan, J. Kavalieros, C. Kenyon, R. Nagisetty, P.Packan, J. Sebastian, M. Taylor, J. Tsai, S. Tyagi, S. Yand and M. Bohr, "100 nm gate length high performance / low power CMOS transistor structure," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 415-418, (1999).
- [5.6] Y. Taur, C. H. Wann and D. J. Frank, "25 nm CMOS design considerations," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 789-92, (1998).
- [5.7] H. Wakabayashi, M. Ueki, M. Narihiro, T. Fukai, N. Ikezawa, T. Matsuda, K. Yoshida, K. Takeuchi, Y. Ochiai, T. Mogami and T. Kunio, "45-nm gate length CMOS technology and beyond using steep halo," *International Electron Devices Meeting (IEDM) Tech. Dig.*, 49-52, (2000).
- [5.8] M. Fujiwara, M. Takayanagi, T. Shimizu and Y. Toyoshima, "Extending gate dielectric scaling limit by NO oxynitride: Design and process issues for sub-100 nm technology," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 227-230, (2000).
- [5.9] K. Ohuchi, K. Adachi, A. Murakoshi, A. Hokazono, T. Kanemura, N. Aoki, M. Nishigori, K. Suguro and Y. Toyoshima, "Ultrashallow junction formation for sub-100 nm complementary metal-oxide-semiconductor field-effect transistor by controlling transient enhanced diffusion," *Jpn. J. Appl. Phys.* **40**, no. 4B, pp. 2701-2705, (2001)
- [5.10] S. Inaba, K. Okano, S. Matsuda, M. Fujiwara, A. Hokazono, J. Adachi, K. Ohuchi, H. Suto, H. Fukui, T. Shimizu, S. Mori, H. Oguma, A. Murakoshi, T. Itani, T. Iinuma, T. Kudo, H. Shibata, S. Taniguchi, T. Matsushita, S. Magoshi, Y. Watanabe, M. Takayanagi, A. Azuma, H. Oyamatsu, K. Suguro, Y. Katsumata, Y.

Toyoshima and H. Ishiuchi, "High Performance 35 nm Gate Length CMOS with NO Oxynitride Gate Dielectric and Ni SALICIDE," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 641-644, (2001)

[5.11] S. Inaba, K. Okano, S. Matsuda, M. Fujiwara, A. Hokazono, K. Adachi, K. Ohuchi, H. Suto, H. Fukui, T. Shimizu, S. Mori, H. Oguma, A. Murakoshi, T. Itani, T. Iinuma, T. Kudo, H. Shibata, S. Taniguchi, M. Takayanagi, A. Azuma, H. Oyamatsu, K. Suguro, Y. Katsumata, Y. Toyoshima and H. Ishiuchi, "High Performance 35 nm Gate Length CMOS with NO Oxynitride Gate Dielectric and Ni Salicide," *IEEE Transactions on Electron Devices*, ED-49, No. 12, pp. 2263-2270, (2002).

第 6 章 論理回路のスイッチング高速化に適する Silicon on Depletion Layer MOSFET (SODEL FET)の提案

6.1 第 6 章の概要

本章ではバルク Si 基板上に形成される従来型 MOSFET のスイッチング速度限界を打破するための新規 MOSFET 構造を提案し、シミュレーションと試作により電氣的な特性評価を行った結果について議論する。これはバルク基板上に形成する FET であるが SOI 基板上に形成された MOSFET と同じような動作をする新しい部分空乏型チャネル MOSFET である。

この素子はチャネル領域の下部に空乏層領域を持ち、これが SOI における BOX 酸化膜 (Buried OXide:埋め込み酸化膜) と等価な機能を持つように設計される。今回はチャネル不純物プロファイルと S/D 部の不純物プロファイルを精度良く制御するためにシリコンの選択エピ成長技術をチャネル部に用いて、ゲート長 $L \sim 70$ nm 程度まで動作する新規構造 MOSFET を試作した。

その結果、従来の 90 nm node CMOS 世代の MOSFET と比較して本構造の MOSFET では接合容量の低減と基板浮遊効果が実現されることを確認した。これらは高速スイッチングが必要な CMOS 論理回路応用に有利な特性を示した。

6.2 本研究の背景

最近、SOI(Silicon on Insulator) CMOS、特に PD-SOI CMOS (Partially Depleted channel SOI CMOS : 部分空乏型チャネル SOI CMOS) の高性能システム LSI への応用が注目されている。その特徴は SOI MOSFET の body 領域 (チャネル部を含むシリコン領域) が BOX 層 (Buried OXide 層 : 埋め込み酸化膜層) で基板領域と分離されている点にある。したがって、基板浮遊効果によりバルク基板の MOSFET よりも大きな飽和電流 I_{dsat} が得られる。また接合容量 C_j が (特にその底面成分が) バルク基板の場合に比較して無視できるくらい低減される。さらに基板バイアス効果が無いので body 効果が事実上無視できる。したがって多段積みの CMOS 論理回路(NAND ゲートや NOR ゲートなど)においてクロックスキューを最小化でき、高速回路動作に適した CMOS を形成できる[6.1]。

しかしながらこの SOI 基板を用いた MOSFET には欠点もある。たとえば年々改善されてきているが SOI ウェハの品質や膜厚均一性、及びコストについて現時点ではまだ LSI を大量生産するためには改善の余地がある。またゲート酸化膜の integrity (製造品質) およびその信頼性、セルフ・ヒーティング(self-heating)による電流駆動力の減少、薄膜 SOI 領域における寄生抵抗、そして ESD(Electrostatic Discharge : 静電破壊)なども改善すべき問題点である。さらに基板浮遊効果起因の I_d - V_d 特性曲線におけるキンク特性、ヒストリー効果などは回路設計上で不安定動作の一原因となる[6.1]。

本章では SOI MOSFET に特徴的な電気特性をバルク基板上で実現可能とする MOSFET 構造を提案する。それには SOI MOSFET と等価な構造をバルク基板上の MOSFET に作りこめばよい。以下ではそのような部分空乏型チャネル FET と同等の機能を持つバルク基板上の MOSFET 構造の概念を提案し、プロセス・デバイスシミュレーションを用いて効果を検証した結果を議論する。

このデバイスで特徴的なことはチャネルが形成される領域、いわゆる body 領域の下側 (基板奥側) に空乏層が存在する点にある。この空乏層は電氣的に基板領域とチャネル領域を分離し、SOI 素子における BOX 酸化膜と同じ働きをする。以下ではこのデバイスを原理的な意味から Silicon On Depletion Layer FET と名付け、その頭文字を取って SODEL FET と呼ぶ。

この SODEL FET の基本的な考え方は水野らによって提唱された SJET (Shallow Junction well Transistor) [6.2][6.3]や'98 年の IEDM で宮本らが報告した pseudo-SOI[6.4-6.5]に一見類似するようにみえる。しかしながらこれらの素子は完全空乏型チャネル FET(Fully Depleted channel FET: FD-channel FET)の動作だけを念頭に置いている。したがって sub-100 nm 世代の CMOS デバイスに適用するにはパンチスルー耐性が必ずしも十分で無く、またしきい値の任意的な設定が困難でゲート電極の仕事関数を調整しなくてはならないことが欠点として挙げられる (表 6.1 参照)。

その一方で SODEL FET においては部分空乏型チャネルであるので、しきい値の制御はチャネル中に導入された不純物濃度プロファイルで決定される。したがってドレイン側から伸びる空乏層幅を適当に抑制できるのでパンチスルー耐性が高く、短チャネル効果が抑制できるという点が新しい。

表 6.1 従来の研究事例と本研究の MOSFET の特徴の比較

	従来の研究 (ex. pseudo-SOI)	本研究 (SODEL FET)
チャンネルの種類	完全空乏型	部分空乏型
チャンネル中の不純物 プロファイルの制御	イオン注入のみ	選択エピ成長&イオン 注入の組み合わせ
しきい値の制御	ゲート電極の仕事関数	チャンネル不純物濃度
チャンネル領域の厚さ	非常に薄い	比較的厚い
S/D構造	複雑なHalo&カウンタ ーイオン注入	Raised S/D by SEG (simple)
短チャンネル効果耐性	弱い	比較的強い

以下では今回試作した SODEL FET が 90 nm node CMOS 世代のデザインルールにおいても良好なパンチスルー耐性を持って動作することを実測で示す。さらにいくつかのシミュレーション結果と対比して SODEL FET が通常型のバルク CMOS や SOI CMOS よりも性能的に優れている点を議論する。

6.3 SODEL FET のデバイス構造

図 6.1 に SODEL FET の基本的な構造の概念図を示す[6.6-6.7]。この FET の構成要素としては

- (1) チャネル反転層領域を含む body 領域 (nFET ならば p 型 Si 層)
- (2) その下部の空乏層領域 (nFET ならば n 型 Si 層、かつ空乏化させるために濃度 $\sim 10^{17} \text{ cm}^{-3}$ とする)
- (3) 基板領域 (nFET ならば p 型 Si)

の 3 つの層がある。今回は pFET も nFET と逆導電型の不純物層を積層することで同時に試作を行った。

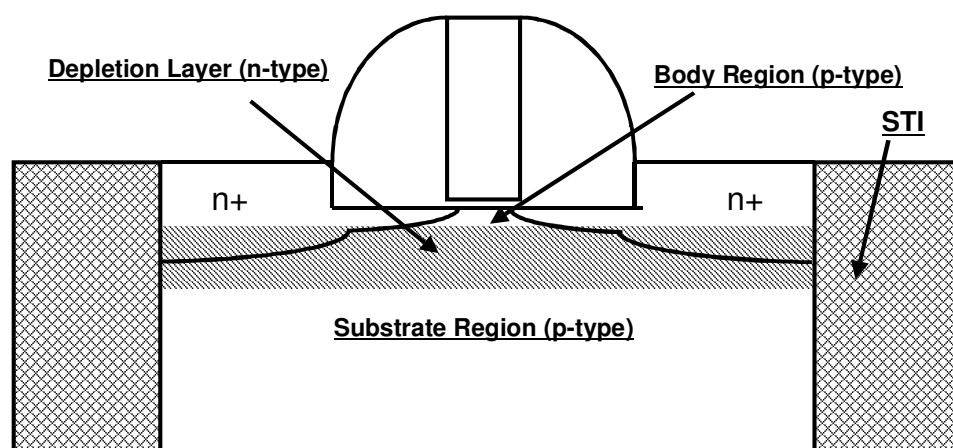


図 6.1 SODEL nFET 構造の概念図。

空乏層領域 (Depletion layer) は SOI の BOX 酸化膜と同様に絶縁層の役目を果たす。

図 6.2 に今回試作した PD-SODEL nFET におけるチャネル不純物濃度プロファイルのシミュレーション結果を示す。

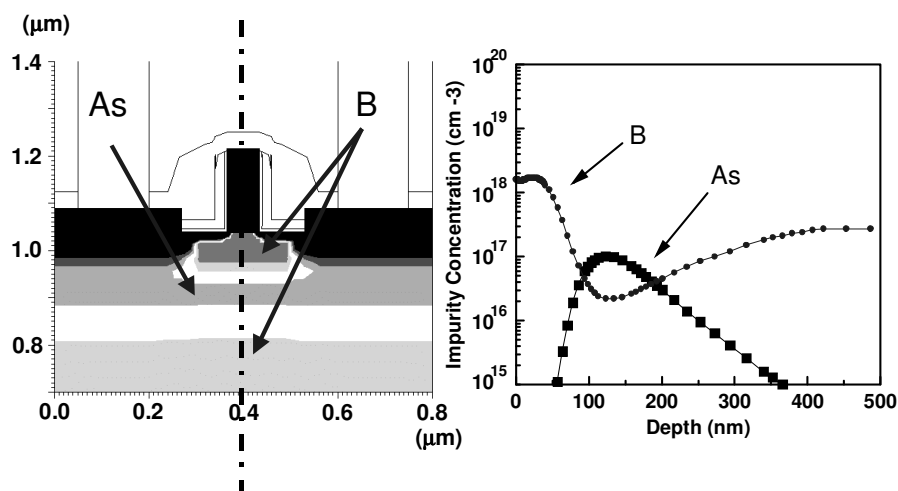


図 6.2 PD-SODEL nFET におけるチャネル中の不純物プロファイル

(simulation : $L_g = 70 \text{ nm}$). Body 領域の厚さは約 100nm である。

今回の PD-SODEL FET の不純物プロファイルの特徴としては以下の項目が挙げられる。

- (1) p/n/p 接合層によって形成される空乏層の位置をチャネル直下だけでなく S/D 下部にも n 層が存在させるように比較的深くした。
- (2) 今回の素子設計・試作においては halo イオン注入を省略した。
- (3) 短チャネル効果の抑制と基板浮遊効果の実現を目的として比較的不純物濃度が高く ($\sim 10^{18} \text{ cm}^{-3}$)、かつ部分空乏型チャネルに適する厚い body 領域を形成した。
- (4) 基板中の不純物プロファイル形成時において、n 層を基板の奥に形成するために、n⁻イオン注入をまず行ってからチャネル領域にシリコンをエピ成長させ、最後にエピされたシリコン層の浅い部分にチャネルイオン注入を行った。

たとえば(1)によって接合容量 C_j が低減できる。(2)では通常の halo イオン注入を行うと body と基板が電氣的に接続されるが、SODEL FET では body 領域を電氣的に独立させる必要があるため halo イオン注入を今回は省いた。SODEL 動作をさせながら不純物プロファイルを最適化し、halo 領域を形成して短チャネル効果を改善した例は次章で議論される。(3)は SODEL FET と完全空乏型チャネル FET と異なる点である。完全空乏型チャネル FET では基板不純物濃度を小さくしながら body 領域の厚さをゲート長の 1/3 程度まで薄膜化して短チャネル効果を抑制しなければならない[6.6]。(4)の工程は、これを採用することによって垂直方向に 3 重となっている不純物層の濃度プロファイルを細かく制御できる。イオン注入だけでこのような不純物プロファイルを形成しようとする基板奥側にイオン注入した時には深さ方向の不純物分布の広がりが大きくなり、所望の深さと厚さに n 層を形成できない。

デバイスシミュレーションによると、SODEL FET におけるチャネル不純物プロファイルは V_t 制御と基板浮遊効果制御の両方に関連がある。特に I_d - V_g 特性において、埋め込み n 層による空乏層を形成すると V_t と S-factor がともに小さくなる結果が得られた (図 6.3)。これは body 領域が基板領域と電氣的に分離されることで説明できる。すなわち V_t は body 部のポテンシャル変動がゲートの影響を強く受けて大きくなるために低下し、また基板中への空乏層の伸びが大きくなるために空乏層容量が低減するのでその結果として S-factor も改善する。

また Elevated S/D 構造 (Raised S/D 構造 : 図 6.7-6.8 も参照) は短チャネル効果抑制のオプションとして今回の試作に加えたが、実際には Raised S/D 構造でなくても SODEL FET として動作する。

さらにここで述べた SODEL FET は埋め込みチャネル型でなくて、表面チャネル型の MOSFET であることを記しておきたい。埋め込みチャネル型ならば normally-on type のデバイスになるため、 $V_g = 0.0 \text{ V}$ の時に I_d - V_g 特性において I_d がカットオフされずにリーク電流が流れる。しかしながら図 6.3 や図 6.16 の I_d - V_g 特性によれば $V_g = 0.0 \text{ V}$ において十分カットオフしているし、図 6.15 の基板深さ方向のポテンシャルプロファイルによればチャネルが形成されている領域は表面部だけであることがわかる。したがって今回の SODEL FET が狙い通りに表面チャネル型動作をしていると言える。

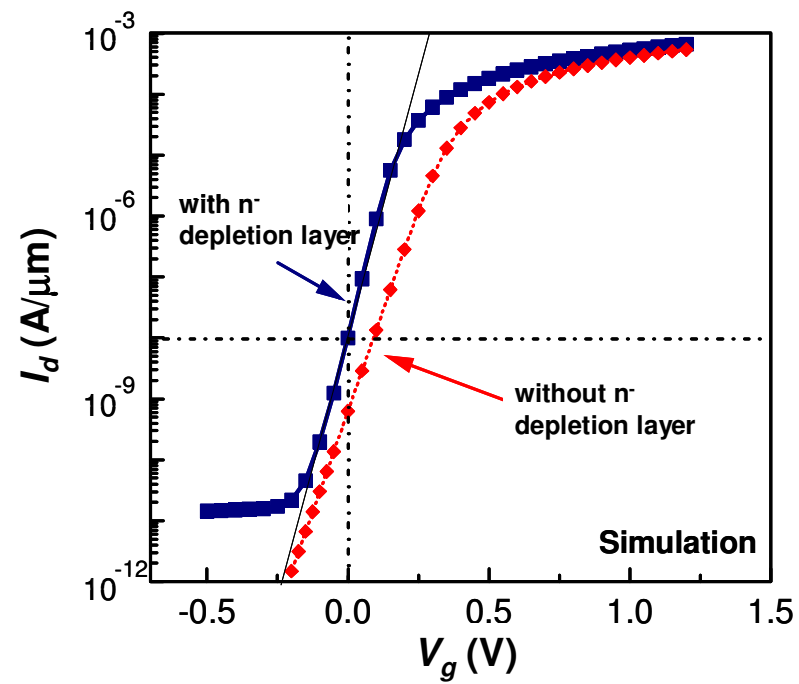


図 6.3 n-層の有無による I_d - V_g 特性の違い(デバイスシミュレーションによる)

n 層を body 領域直下に形成することで、空乏層が body 領域と基板領域を電氣的に分離するために S -factor が改善する。

6.4 SODEL FET の試作工程フロー

図 6.4～図 6.8 に SODEL FET の断面図を用いて試作プロセスフローの概略を示した。

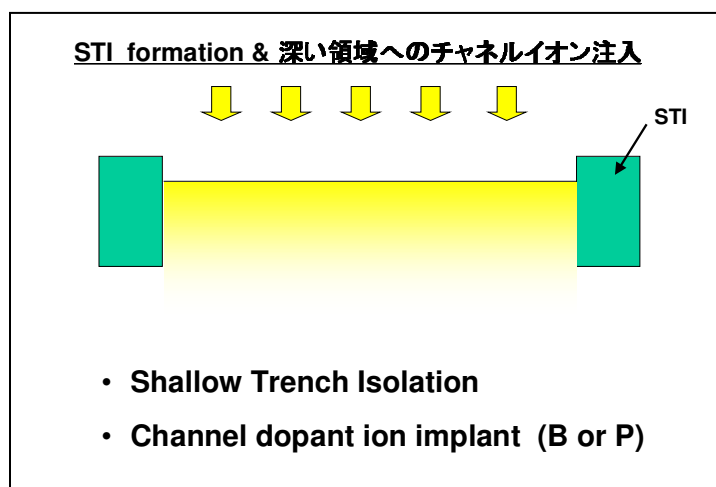


図 6.4 素子分離領域の形成と、基板中の深い位置へのイオン注入

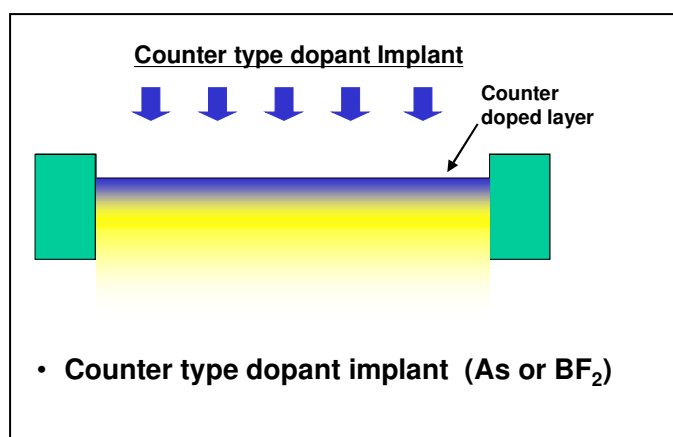


図 6.5 空乏層形成のための
カウンターチャネルイオン注入
As 150 keV $0.5 \sim 1.0 \times 10^{12} \text{ cm}^{-2}$ or
BF₂ 50 keV $1.0 \sim 2.0 \times 10^{12} \text{ cm}^{-2}$

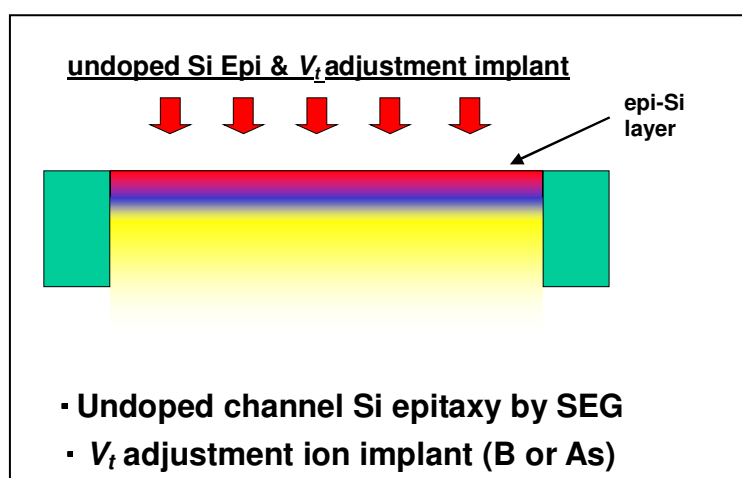


図 6.6 チャネル領域へのシリコン選択エピタキシャル成長
(Selective Epitaxial Growth: SEG)と
 V_t 調整 ion 注入

B 5 keV $1.0 \sim 2.0 \times 10^{13} \text{ cm}^{-2}$
または
As 20 keV $0.5 \sim 1.0 \times 10^{13} \text{ cm}^{-2}$

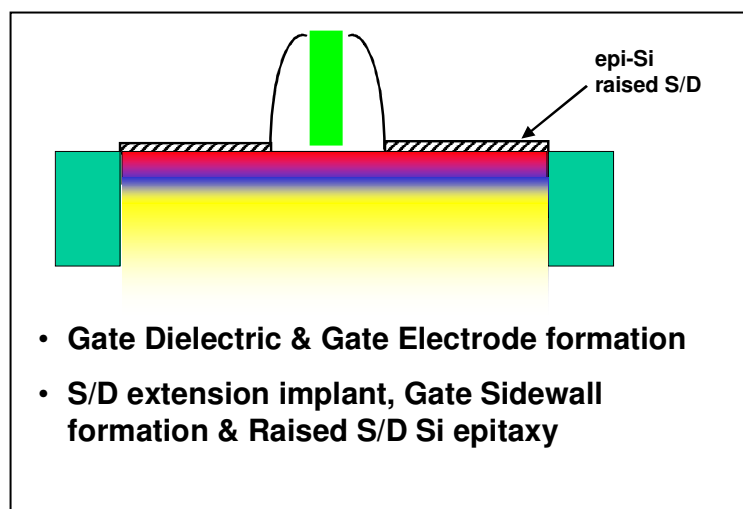


図 6.7 ゲート電極形成、
S/D エクステンション領域へのイオン
注入、ゲート側壁の形成、および
選択シリコンエピによる raised S/D 領
域の形成

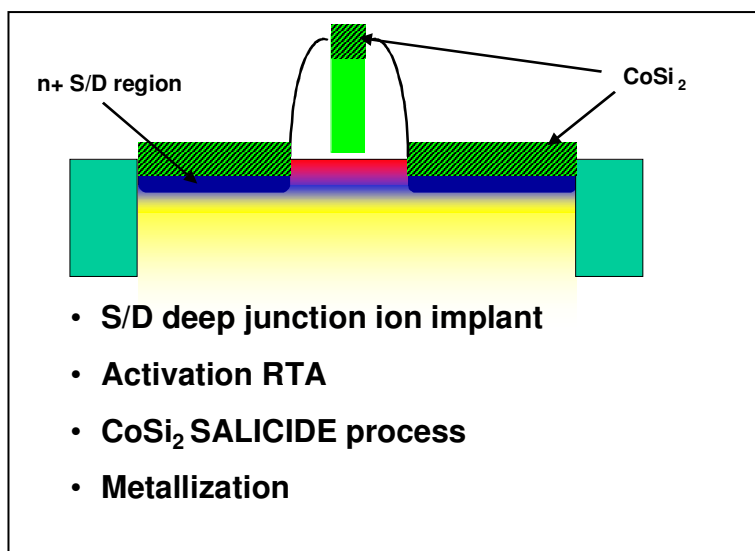


図 6.8 S/D 領域へのイオン注入、
活性化アニール、コバルトシリサイドによ
るサリサイド形成、および金属配線工程

これらの試作プロセスでは halo イオン注入の省略と、およびシリコン選択エピ成長工程の追加以外は通常の 90 nm ルールの MOSFET 試作工程を用いた。Halo I/I の省略はすでに述べたようにいわゆる Body 領域と基板領域の電気的な接続を防止するためである。

この構造で鍵となるのは高精度のチャンネル部のプロファイル制御である。チャンネル不純物プロファイルについては、あらかじめプロセスシミュレーターとデバイスシミュレーターの組み合わせにより最適条件を探し、試作にフィードバックした。

また今回の実験ではゲート絶縁膜はベース酸化膜厚 1.2 nm の NO(一酸化窒素) オキシナイトライド膜を用いた。

図 6.9 にゲート端での断面 TEM 写真を示す。このサンプルではシリコンのチャネルエピ成長を 30 nm 行っているが、チャネル部にシリコンをエピ成長させた界面でも明らかな結晶欠陥は観察されなかった。したがってこのチャネルエピ工程が接合リーク電流に与える影響は小さいと予想できる。

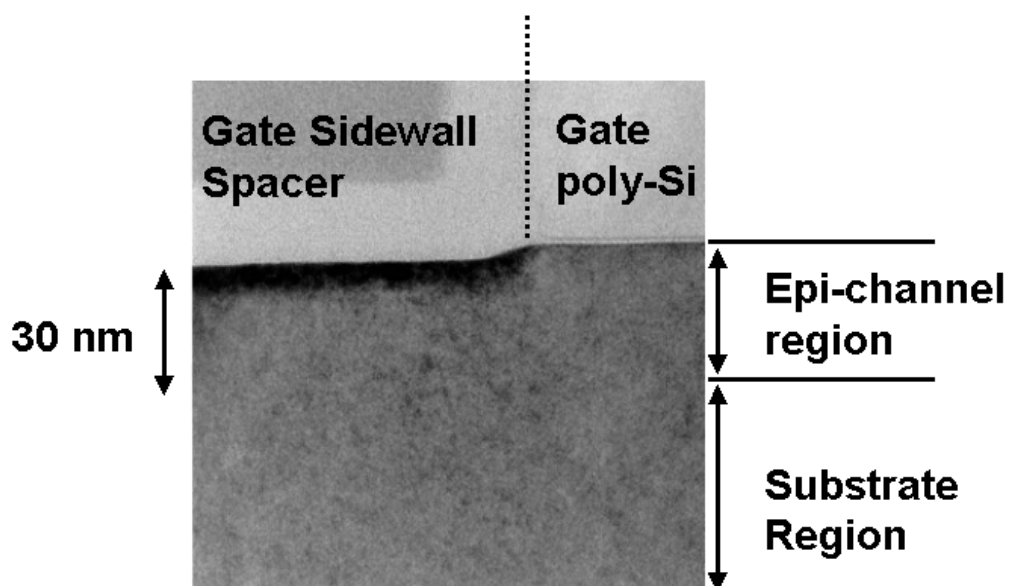


図 6.9 ゲート端における SODEL FET の断面 TEM 写真

チャネル部のエピ膜厚は 30 nm で、エピ成長させたシリコン界面にも欠陥らしい像は無く、
接合リーク電流にも影響しないことが予想される。

6.5 SODEL FET において特徴的な電気特性

6.5.1 ソース/ドレイン接合容量特性、接合リーク電流特性

ソース/ドレイン部の接合容量に関して第 5 章で議論した 35 nm バルク CMOS[6.9]の nFET と SODEL nFET の場合を測定して比較した。図 6.10 に接合容量と印加バイアス電圧との関係を示す。

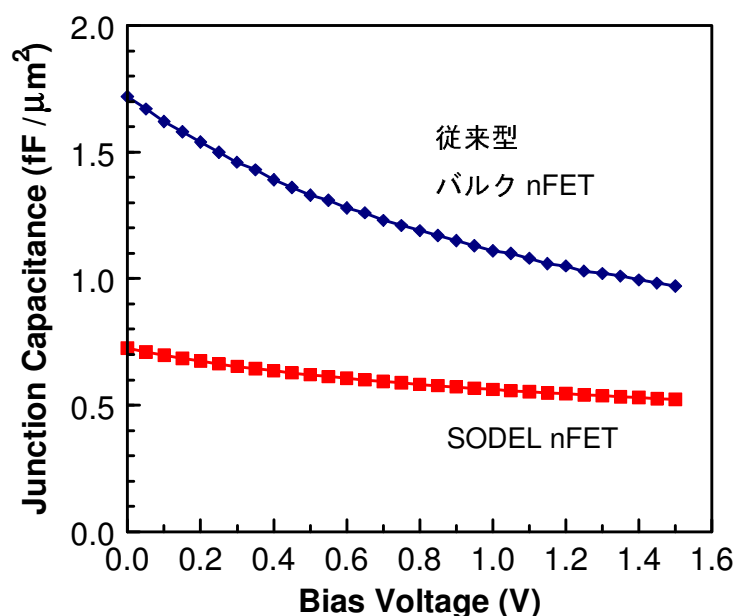


図 6.10 接合容量特性の比較 (n^+/p junction)

接合容量の底面成分を示している。SODEL nFET においては電圧印加による容量変化率も小さい。

上記の特性は周辺長の異なる接合容量測定 TEG(Test Element Group)を用いて接合容量の底面成分を算出して得られた。素子構造から予想されるように SODEL nFET では n^+ 領域の下側で n^- 領域が空乏化し、垂直方向電界を低下させるために従来型の nFET に対して小さな接合容量が実現された。また容量のバイアス電圧依存性も弱い。

今回試作した SODEL nFET と pFET の周辺成分を含めた接合容量の実測値を表 6.2 にまとめた。SODEL pFET に関してもほぼ同等の小さい接合容量が実現された。周辺長成分については SODEL FET においては従来素子と同等の halo イオン注入を行っていないため直接比較できないが、かなり小さいことがわかる。

表 6.2 SODEL FET における接合容量の実測値

	SODEL nFET	SODEL pFET
C_j area (fF/μm ²) @0.0 V	0.73	0.74
C_j area (fF/μm ²) @1.2 V	0.55	0.55
C_j field edge (fF/μm) @0.0 V	0.06	0.07
C_j field edge (fF/μm) @1.2 V	0.05	0.06
C_j gate edge (fF/μm) @0.0 V	0.19	0.17
C_j gate edge (fF/μm) @1.2 V	0.18	0.15

一方、接合リーク電流特性は絶対値として nFET、pFET とも逆バイアス電圧が $|1.0\text{ V}|$ の時に $0.07\text{ fA}/\mu\text{m}^2$ 程度を実現しており、逆バイアス電圧を 3.0 V まで印加しても結晶欠陥などによる接合リーク電流の劣化などは特に観測されなかった (図 6.11)。これはデバイスの実使用上で問題無いレベルである。

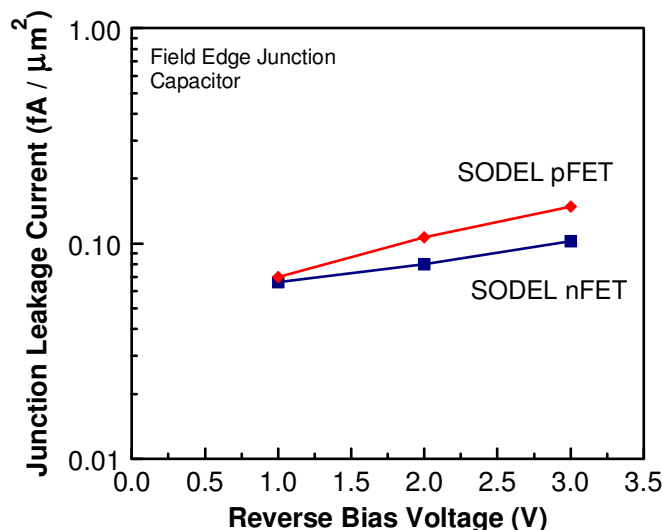


図 6.11 : SODEL FET における接合リーク電流特性

逆バイアス電圧を 3.0 V まで印加しても特別なリーク電流の増加は見られなかった。

6.5.2 基板バイアス電圧による電流電圧特性の変化

次に、基板バイアス電圧印加時の SODEL FET と通常の MOSFET の特性の違いを実測結果に基づいて議論する。図 6.12 はゲート長 L が約 70 nm の nFET において基板バイアスを 0.0 V 、 -0.5 V 、そして -1.0 V まで変化させたときの I_d - V_g 特性 (3 極管領域、linear scale) の変化である。これらから明らかにように、SODEL nFET においては -1.0 V まで印加しても基板バイアスによる I_d - V_g 特性のシフトがほとんど見られていない。

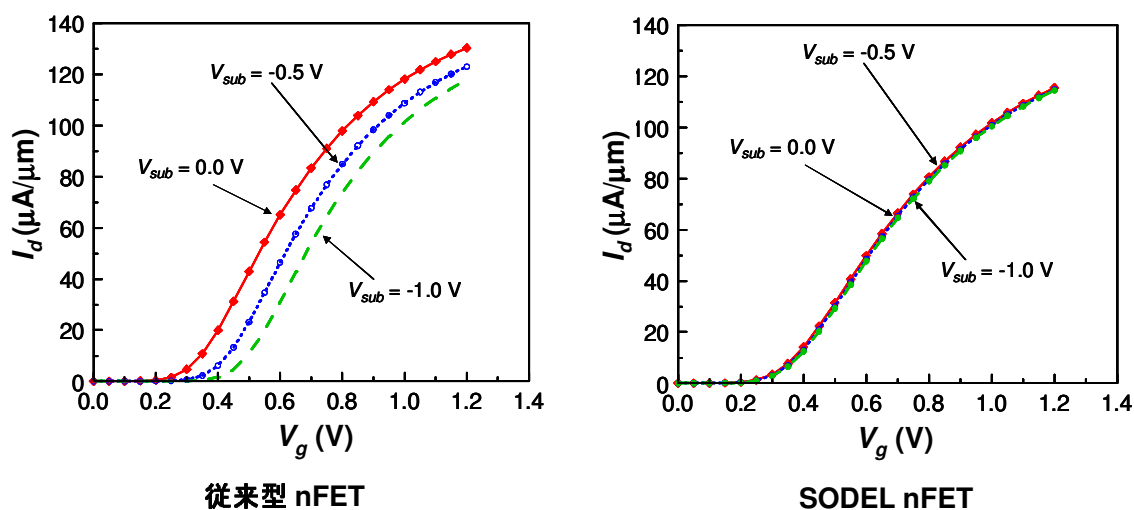


図 6.12 $L \sim 70\text{ nm}$ nFET の 3 極管領域における I_d - V_g 特性

($V_{sub} = 0.0\text{ V}$ (実線)、 -0.5 V (点線)、 -1.0 V (破線))

同様に pFET においても SODEL FET の構造においては、基板バイアス印加による I_d - V_g 特性変動がほとんど見られていない(図 6.13)。

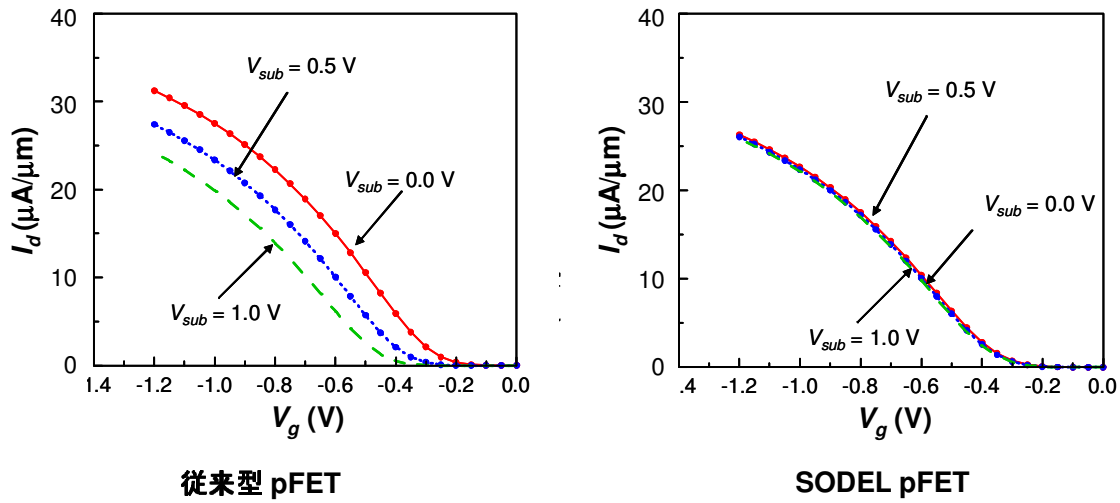


図 6.13 $L \sim 70 \text{ nm}$ pFET の 3 極管領域における I_d - V_g 特性

($V_{sub} = 0.0 \text{ V}$ (実線)、 0.5 V (点線)、 1.0 V (破線))

これらの結果を V_{sub} による V_t のシフトで示すと図 6.14 の様になる。Body effect factor γ はこの曲線の $V_{sub} = 0.0 \text{ V}$ での傾きに相当し、SODEL FET では nFET も pFET も $\gamma < 0.02 \text{ (V}^{1/2})$ となっている。一方で従来型 FET では $\gamma \sim 0.1 \text{ (V}^{1/2})$ であった。

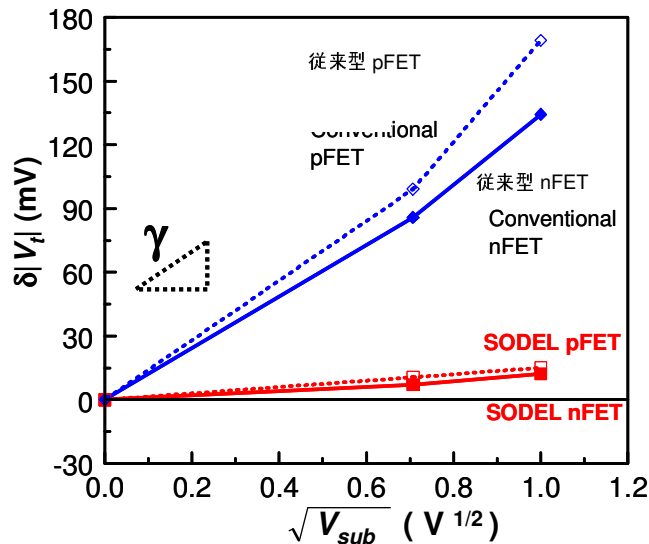


図 6.14 δV_t と $(V_{sub})^{1/2}$ の関係 ($L \sim 70 \text{ nm}$)

$V_{sub} = 0.0 \text{ V}$ での傾きが body effect factor γ に相当する。

SODEL FET は従来型 MOSFET に比較して非常に γ が小さくなっている。

これは L が十分小さい領域でも、従来型 FET では基板バイアス効果が残存するが、SODEL FET においては基板バイアス効果を非常に小さくできることを意味する。つまり、チャネル領域の下部に形成された空乏層によって基板部とチャネル部が電氣的にほぼ分離された状態を SODEL FET において実現できたことになる。

図 6.15 に基板バイアス印加によるチャネル垂直方向のポテンシャル変化のシミュレーション結果を示す。 -0.8 V の V_{sub} 印加時(菱形)において、図の左端での基板側のポテンシャルはほぼ印加電圧分だけシフトするのに対し、いわゆる body に相当する部分の p 型領域でのポテンシャルの変化は 0.1 V 以下である。さらにゲートとの界面近傍ではポテンシャルの形がほとんど変わらない。これは SODEL FET において V_{sub} 印加による基板側のポテンシャル変動を空乏層領域が遮蔽することを意味し、SODEL FET が SOI 的な動作をする証拠である。

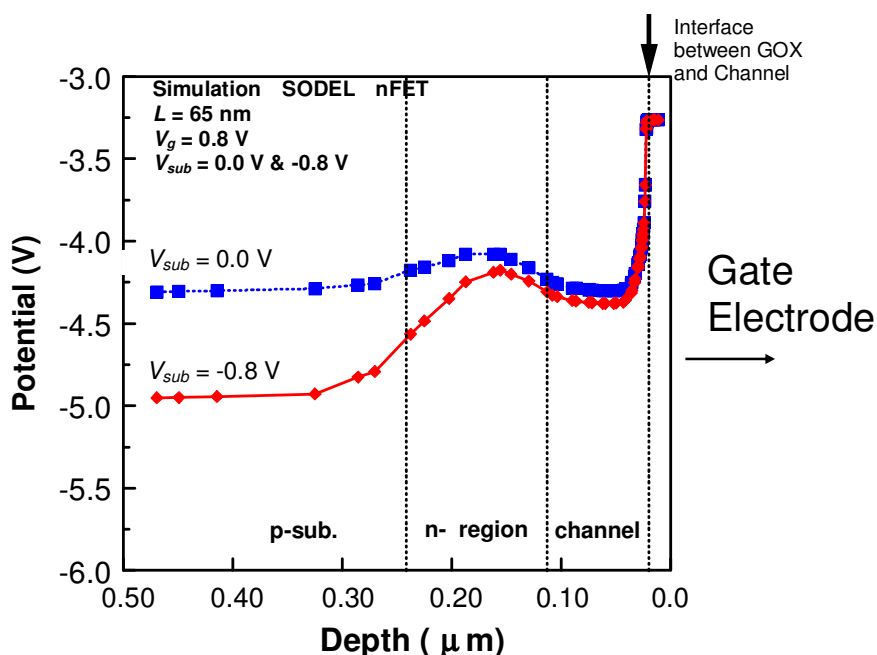


図 6.15 SODEL nFET の垂直方向のポテンシャルプロファイル

($L = 65\text{ nm}$, $V_d = V_g = 0.8\text{ V}$, $V_{sub} = 0.0\text{ V}$ & -0.8 V)

図の右側がチャネル側である。 $V_{sub} = -0.8\text{ V}$ の場合、基板側では基板へのほぼ印加電圧分だけ電位がシフトしているが、チャネル側でのポテンシャル変化はほとんど見られない。

6.6 試作した SODEL FET の DC 特性

この節では試作した SODEL FET の DC 特性に関して議論する。まず $L_{gn} \sim 70$ nm の nFET と、 $L_{gp} \sim 100$ nm の pFET における I_d - V_g 特性を図 6.16 に示す。 $|V_{dd}| = 1.2$ V 時に $I_{off} = 10 \sim 15$ nA/ μ m である素子において、nFET では $I_{on} = 886$ μ A/ μ m, pFET では $I_{on} = -320$ μ A/ μ m 程度が実現された。 S -factor は nFET で 85.3 mV/dec.、pFET で約 80 mV/dec.となっていた。

この電流値自体は 1.2 V 版の一般用途向けの 90 nm node CMOS デバイスと同程度だが、既に述べたように非常に小さい接合容量を実現できたため、同じ電流駆動力でも論理回路におけるスイッチング動作の高速化が期待される。逆にいうと少なくとも 90 nm node 世代のゲート長の素子でもこの技術は短チャネル効果を抑制できてさらなる高性能化に寄与できる。

6.2 節で述べたように過去になされてきたこの種の空乏化チャネル素子の検討では微細化に対する耐性が弱く、sub-100 nm ゲート長 CMOS への適用は出来ていなかった[6.2-6.5]。今回は注意深いチャネルプロファイルデザインを行うことで初めて sub-100 nm のゲート長領域で SODEL FET としての動作を実現した。

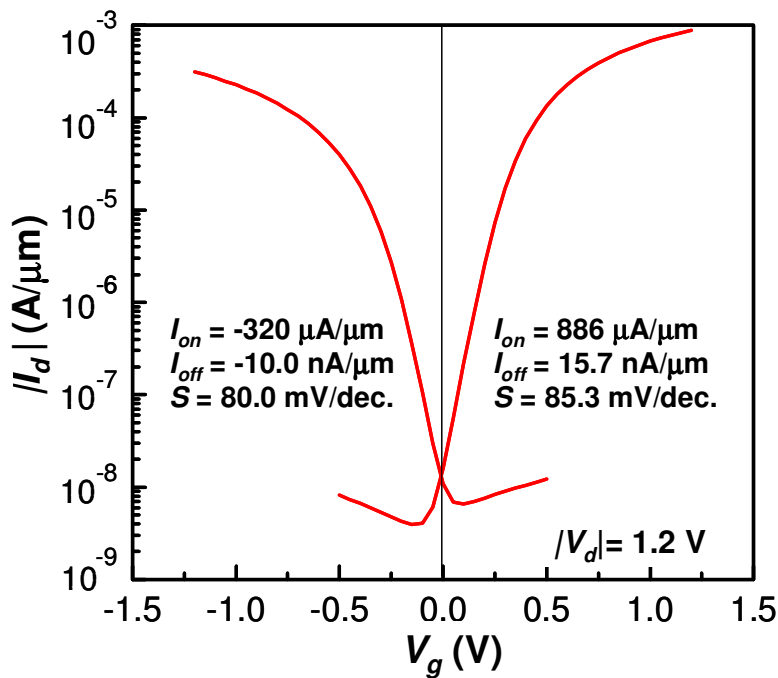


図 6.16 SODEL FET の $|I_d|$ - V_g 特性 ($L_n \sim 70$ nm, $L_p \sim 100$ nm, $|V_d| = 1.2$ V)

S -factor はそれぞれ 85.3 mV/dec. と 80 mV/dec. 程度であり、良好なカットオフ特性が得られている。

次に同じ素子の I_d - V_d 特性を図 6.17 に示す。試作した SODEL FET の I_d - V_d 特性では、nFET の $V_g = 0.4 \text{ V} \sim 0.5 \text{ V}$ の時の特性において若干ではあるが基板浮遊効果が見られる。

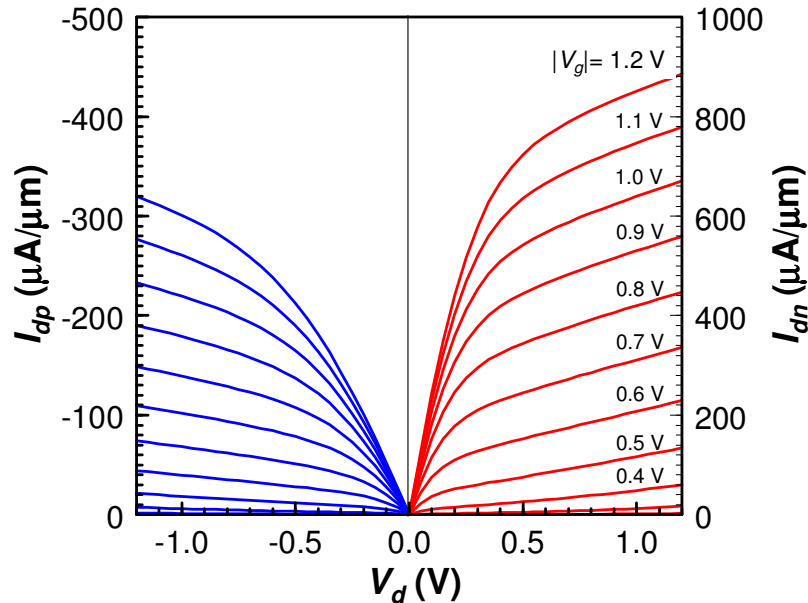


図 6.17 SODEL FET の I_d - V_d 特性 ($L_n \sim 70 \text{ nm}$, $L_p \sim 100 \text{ nm}$)

たとえば図 6.18 に上記の I_d - V_d 曲線において $V_g = 0.4 \text{ V}$ の時、その V_d に関する 2 階微分を取ったものを従来型 nFET と SODEL nFET について比較した。この時、両者ともほぼ同じ V_t と I_d を示す素子を選んでいるが、従来型 FET (菱形) ではこの 2 階微分値 $d^2 I_d / dV_d^2$ がほとんど全てのゲート電圧範囲で負、ないしは 0 に近い値を示している。これは図 6.17 のような I_d - V_d 特性曲線が常に上に凸であって V_d の増大とともに I_d が飽和して平らになる傾向にあるという意味である。一方で SODEL nFET (■) では $0.30 \text{ V} < V_d < 0.35 \text{ V}$ で I_d - V_d 曲線が変曲点を持ち、 $V_d > 0.35 \text{ V}$ の領域ではこの 2 階微分値 $d^2 I_d / dV_d^2$ が正で I_d - V_d 曲線が下に凸の曲率を持つ。すなわち SODEL FET ではドレイン電流が一定値に飽和する傾向が弱く V_d とともに増加傾向にある。これは今回の SODEL FET の I_d - V_d 特性においては強いキンク現象こそ見られていないが、シミュレーションで予想されるように、ドレイン電極のポテンシャルに引きずられて body 部 (チャネル部) の電位が上昇し、弱い基板浮遊効果が見えている証拠である。

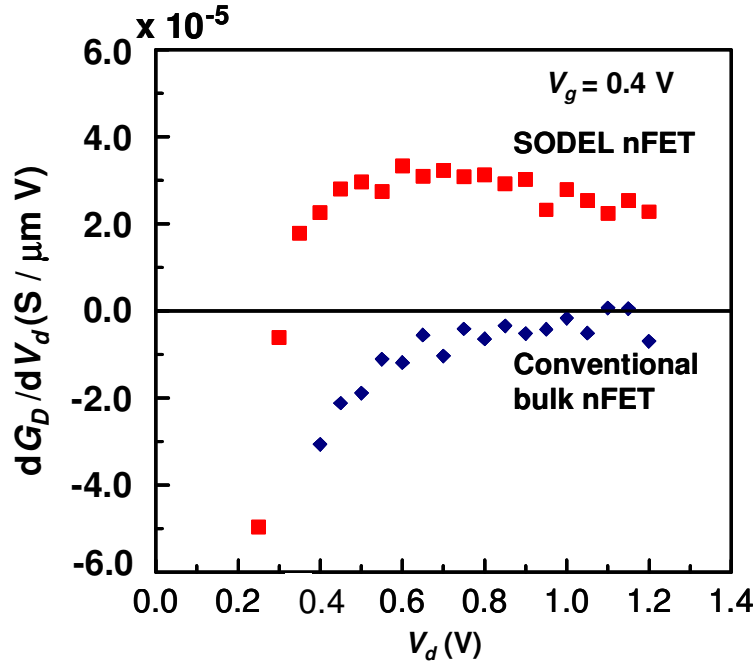


図 6.18 I_d - V_d 特性の V_d による 2 階微分値 (d^2I_d/dV_d^2) の比較

(=ドレイン コンダクタンス G_D の V_d による 1 階微分、 $V_g = 0.4$ V)

この値が正の領域は I_d - V_d 曲線が下に凸となっている。

図 6.19 に SODEL FET の V_t roll-off 特性を示す。ゲート長は $L_{mask} = 120$ nm の素子の断面 TEM 写真から仕上がり時の寸法 L_g を算出し、 L_{mask} との差分を求めて補正した。本実験ではゲート絶縁膜厚を sub-100 nm 世代としては少し厚めに設定したために、pFET においてはさらなる短チャネル効果改善が必要である。ただ、halo イオン注入を積極的に使っていないことを考慮すると sub-100 nm 領域での動作を狙った素子としては良好な特性と言える。

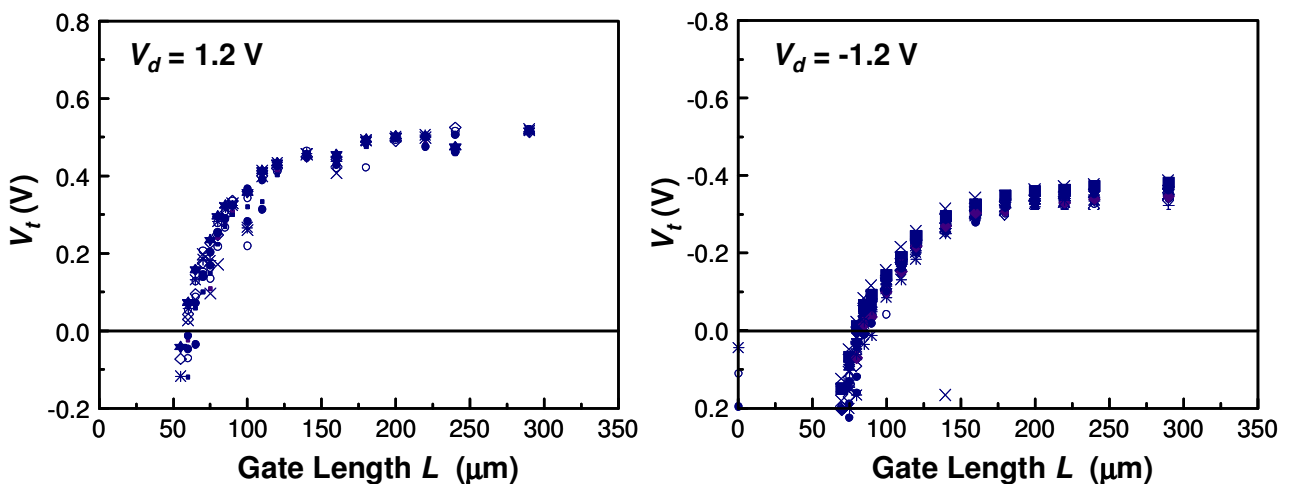


図 6.19 SODEL FET の V_t roll-off 特性 ($|V_d| = 1.2$ V)

短チャネル効果は nFET で $L = 70$ nm、pFET で $L = 100$ nm 程度まで抑制されている。

ここまで SODEL FET が低い接合容量、小さい基板バイアス効果、そして基板浮遊効果など SOI MOSFET に類似する電気特性を持つことが示された。その一方で SODEL FET では SOI MOSFET と異なる特性を合わせ持つ。一例として、SODEL FET における body 領域へのホール蓄積の抑制をここでは説明する。

SODEL nFET における基板垂直方向のポテンシャル分布を再び図 6.20 に示す。ここで、チャネル部でインパクトイオン化によって生じたホール（●）はゲートからの電場によりチャネル部から基板に向かって移動し、ホール電流（矢印）となる。SOI MOSFET の場合、チャネル部の下に BOX 領域があるためにホールは逃げ場を失い、チャネル領域の下部（バックチャネル側）に蓄積して body 部のポテンシャルを変調する。

一方で SODEL nFET の場合はチャネル下部領域が $p/n^-/p$ の p - n 接合からなるために、インパクトイオン化で生じたホールはこの障壁を超えて基板奥にまで流れ出す。したがってこの場合ホールは body 部に蓄積されにくい。2 次元デバイスシミュレーションによる SODEL nFET におけるホール電流の様子を図 6.21 に示した。

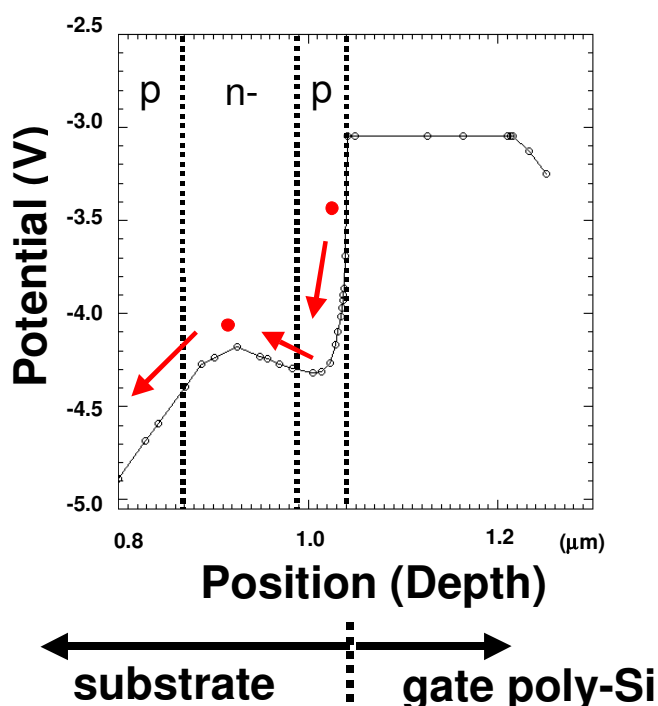


図 6.20 SODEL nFET における基板垂直方向の
ポテンシャル分布とホール電流の説明図
発生したホールは障壁を乗り越えて基板側に流失する。

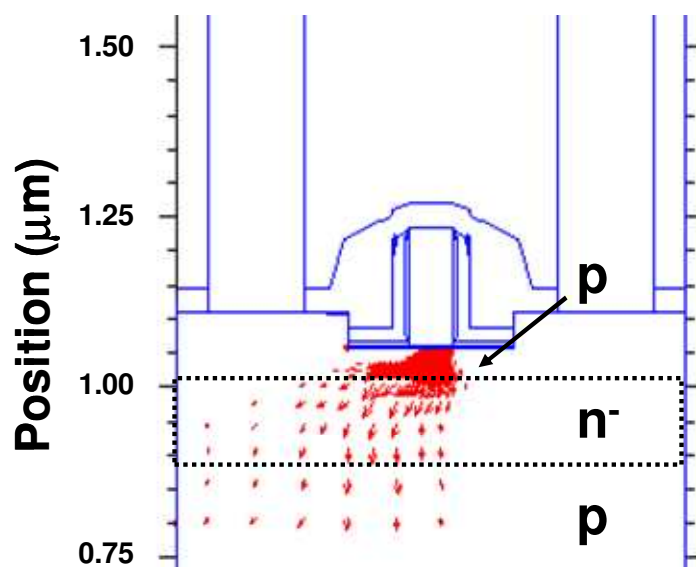


図 6.21 シミュレーションによる SODEL nFET 中のホール電流

矢印の密度が電流密度をあらわす。

シミュレーション結果を考慮すると、SODEL FET においてはホールの蓄積による基板電位上昇が小さくなり、PD-SOI MOSFET の短所であるホール蓄積による基板浮遊効果 (I_d - V_d 特性のキック発生など) が抑制される。

実際、SODEL FET において基板電流を測定した結果を図 6.22 に示すが、バルク nFET とほとんど等価の基板電流が観測された。これにより body 領域におけるホール蓄積が抑制されている。また I_d - V_d 特性についても極端なキック特性は見られない。したがって PD-SOI MOSFET と比較すると SODEL FET は回路動作に不安定性をもたらす基板浮遊効果が抑制されるので有利である。

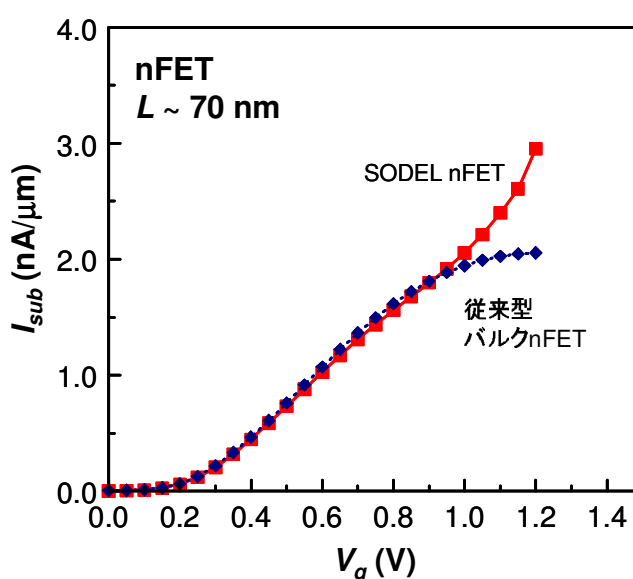


図 6.22 SODEL FET と従来型バルク nFET における基板電流の実測値

両者でほぼ同じ程度の基板電流が観測されている。これにより基板浮遊効果が抑制される。

SOI MOSFET と SODEL FET の DC 特性のまとめを表 6.3 に示した。表 6.3 において、“=”はバルク FET の場合と等価な性能を示すという意味であり、“+”は優勢、“-”は劣勢を定性的に示した。

SOI MOSFET においては、基板コストが高いのと、一部 GOI (Gate Oxide Integrity)に問題のある場合が見られるため“-”とした。一方、寄生容量や接合リーク電流に関してはバルク FET に比較して SOI は圧倒的に有利になる。

Body 効果に関してはドレイン電流増大効果があるので有利だが、一方で I_d - V_d 特性におけるキンク発生は SOI デバイスにとっては不利になる。SODEL FET の場合はキンク発生が抑制されるのでバルク FET と比較すると優位性のみが残ることになる。

表 6.3 SOI MOSFET と SODEL FET の DC 特性の比較（まとめ）

	PD-SOI FET	SODEL FET
基板コスト	-	=
I_{dsat}	+	= / +
I_{off}	-	=
GOI	-	=
ESD	-	=
C_{para}	++	+
接合リーク電流	++	+
Body effect	+ / -	+

= : even performance with bulk FET.

+ : advantage. - : disadvantage

6.7 SODEL FET における AC 特性の改善

今回試作した素子では、回路動作に最適な V_t を持つ nFET と pFET を別々のウェハー上に試作した。したがってもっとも単純な発振回路のリングオシレーターの遅延時間は評価できなかった。これは同一ウェハー上で pFET の短チャネル効果が抑制できなかったためである。

以下では測定された DC 特性から CV/I を求め、それによる Figure of Merit[6.10]を計算することで、SODEL CMOS インバーターのスイッチングに対するメリットを明らかにする。

ここで CV/I は $F/O = 1$ (Fan-out = 1; 論理出力が次段の論理入力一つだけに接続される) の場合を次式に基づいて計算した。

$$\frac{1}{FOM} = \frac{C \cdot V}{I} = C_{tot} * V_{dd} * \left(\frac{1}{I_{d0_n}} + \frac{1}{I_{d0_p}} \right) * \frac{1}{2} \quad (6.1)$$

$$C_{tot} = 2 * (C_{ox} + C_{ja} + C_{jge} + C_{ov}) \quad (6.2)$$

C_{ja} : 接合容量の底面成分の寄与

C_{jge} : 接合容量でゲートエッジに沿った成分の寄与

C_{ov} : ゲートオーバーラップ容量

C_{tot} としては次段のインバーターを構成する nFET と pFET の両方のゲート容量(C_{ov} 含む) にドレイン接合容量、およびミラー容量分(C_{ov}) が追加されて計算される。簡単のため C_{ox} 、 C_j と C_{ov} は nFET と pFET で同じとし、配線容量は無視して計算した。またゲート長 $L = 70 \text{ nm}$ を仮定し、ドレイン面積は $0.25 \mu\text{m} \times 1.0 \mu\text{m}$ とした。

電源電圧 V_{dd} を変えて I_{d0} を変化させた場合の $1/FOM$ と $(1/I_{d0_n} + 1/I_{d0_p})$ の関係を図. 6.23 に示す。従来型 CMOS と SODEL CMOS の場合で一番異なるのが接合容量であって、表 6.2 から SODEL CMOS においては底面成分とゲートエッジ成分をそれぞれ $0.74 \text{ fF} / \mu\text{m}^2$ と $0.19 \text{ fF} / \mu\text{m}$ とし、従来型 CMOS では実測値から $1.6 \text{ fF} / \mu\text{m}^2$ と $0.4 \text{ fF} / \mu\text{m}$ という値を用いた。

これらによって C_{tot} に占める接合容量の寄与は SODEL FET で約 16%、従来型 CMOS で約 29% となった。この寄生容量の差によって、ゲート遅延時間 τ_{pd} に相当する $1/FOM$ が SODEL CMOS では 10 ~ 15 % 改善されると予想できる。

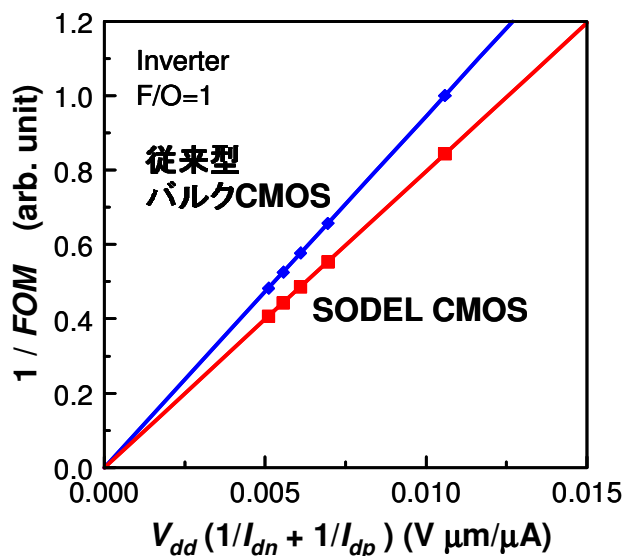


図 6.23 従来型 CMOS と SODEL CMOS における $1/FOM$ の比較

寄生容量の違いにより、 $1/FOM$ は 10~15% 改善される

CMOS 素子の微細化が進んでくると電流駆動力を稼ぐためにしきい値 V_t は低くなる方向に素子が設計され、 I_{off} に関する制限は緩くなる。そのような高性能システム LSI においては消費電力の大きいダイナミック回路よりもスタティック回路を使う方が適していて、事実スタティック回路に比重を置いた回路設計がなされる。一般に PD-SOI CMOS は接合容量 C_j が小さいのでダイナミック回路に適するが、実際には寄生バイポーラリーク電流と低い雑音耐性に対して特別な配慮が必要である。同時に PD-SOI CMOS はスタティック回路においても多段積み (multi-stacked) 論理ゲートなどに適する。これは事実上 body 効果が無いので、全ての MOSFET に対して、基板バイアス効果がなく、 V_t 上昇が無視できるためである。[6.1]

先に述べたように SODEL FET は PD-SOI CMOS と同様にスタティック回路にもダイナミック回路にも適用可能である。それに加えて、マスク工程とイオン注入工程を追加するだけで同一チップ上にバルク CMOS、FD-SOI CMOS、PD-SOI CMOS の電気特性をもつ 3 種類の FET を混載可能である。以下ではこの混載した CMOS デバイスを "ハイブリッド SODEL CMOS (hybrid SODEL CMOS)" と呼ぶことにする。

ハイブリッド SODEL CMOS は回路設計において多くの利点を生み出す。たとえばスタティック回路において PD-SODEL nFET を multi-stacked ゲート部分に用いて body 効果のない高速スイッチング素子を実現し、負荷側の pFET には通常のバルク素子の pFET を用いる設計が可能である (図 6.24) [6.6-6.7]。この回路構成によればバルク CMOS で構成した場合のスイッチング速度の問題と、SOI CMOS で構成した場合の (接合容量が小さいことに起因する) ノイズマージン劣化の問題を解決できる。またバルク基板上に構成されるため、SOI 素子に固有のセルフ・ヒーティング (SOI の埋め込み絶縁膜の熱伝導効率が悪いためにチャネル部の温度が上がり、電流駆動力が劣化する現象) も事実上無視できる。

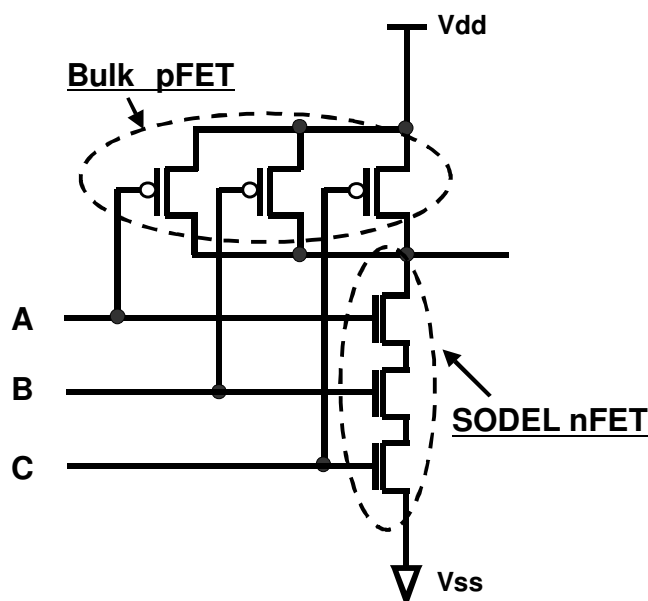


図 6.24 スタティック回路における
ハイブリッド SODEL CMOS の例

SODEL FET は multi-stacked logic 回路に適し、バルク CMOS でのスイッチング速度と SOI CMOS でのノイズマージンの問題点を解決する。

ダイナミック回路においては、PD-SODEL FET をドミノ回路における入力ゲートに用いて、バルク FET をプリチャージスイッチとキーパートランジスタ（keeper Transistor）に使う例が挙げられる（図 6.25）。これは入力ゲートにおいては接合容量 C_j が小さい方が有利で、一方キーパートランジスタにおいては寄生バイポーラ動作起因のリーク電流の低減が必要なためである。このようなドミノ回路はプリチャージスイッチなどに高いノイズマージンが要求されるため SOI FET だけで構成すると不都合が生じる場合がある。これは接合容量が小さいのでノイズに対抗できる電荷量が足りなくなることによる。一方、バルク FET だけで回路構成すると接合容量が大きいため、プリチャージされるノードにおけるチャージシェアリングロスによる電位低下が問題となる[6.1]。

したがってこのハイブリッド SODEL FET は上記のバルク CMOS と SOI CMOS の両者の良いところを生かす回路設計を可能とする。

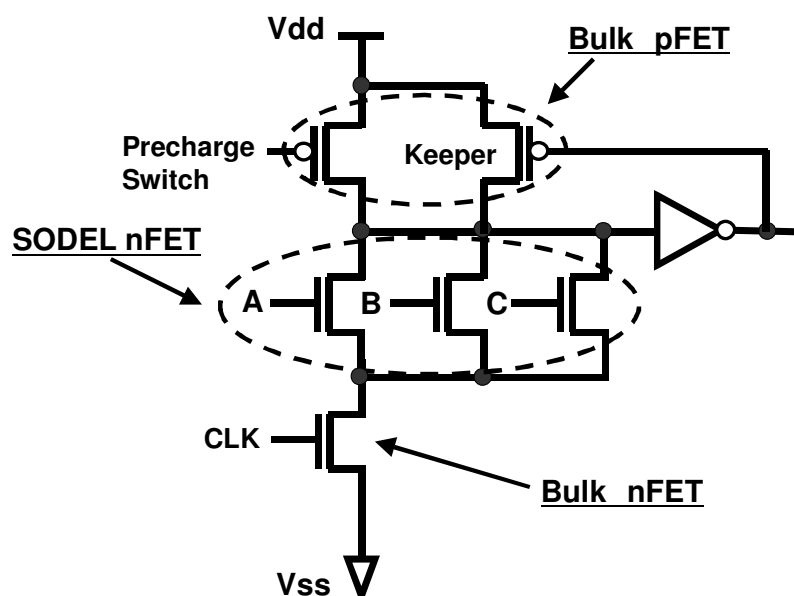


図6.25 ハイブリッド SODEL CMOS のダイナミック回路への応用

高いノイズマージンとチャージシェアリングロスが少なくなることが期待できる。

さらに SOI CMOS の場合、差動アンプやセンスアンプの動作時にヒストリー効果の影響で V_t mismatch が増大するために、アナログ CMOS や SRAM への応用を考えると必ずしも適していない。一方、このハイブリッド SODEL FET では差動アンプ部やセンスアンプ部を選択的にバルク CMOS で構成できるためにこの不具合を回避できる。これは回路構成上、非常に大きなメリットである。

以上述べてきた回路性能に対する SOI CMOS と SODEL CMOS の比較を表 6.4 にまとめた。記号の意味は表 6.3 と同じでバルク CMOS との比較で "+", "=", "-" を付けている。

表 6.4 回路性能に対する PD-SOI CMOS と SODEL CMOS の比較

	PD-SOI	SODEL only	Hybrid SODEL (optimized)
τ_{pd} (inverter)	++	+	+
スタティック回路	+	+	++
ダイナミック回路	+ / -	+ / -	++
ノイズ耐性	-	= / ?	=
アナログ回路	+ / -	= / +	= / +
SRAM	+ / -	+	+
eDRAM	-	+	+
回路設計の複雑さ	-	= / +	= / +

= : even performance with bulk FET.

+ : advantage. - : disadvantage

SOI CMOS は τ_{pd} に対しては接合容量 C_j の底面成分は事実上無視できるので有利であるが、スタティック回路においては完全に基板が浮遊状態にあるので逆にノイズマージンを減らして、一対の MOSFET ペアにおける V_t ばらつきを増大させる。その点、SODEL CMOS はチャネルイオン注入とチャネルエピ工程で形成されるので、バルク CMOS と容易に組み合わせることができ、ノイズマージンが必要な回路は従来のバルク CMOS 素子で構成することが可能である。

eDRAM (embedded DRAM: Logic LSI に混載される DRAM のこと)において、LSI 全体を SOI CMOS デバイスで構成すると、部分エピによる基板形成を用いた Memory Cell[6.11]とか FBC(Floating Body Cell)[6.12]などの新技術を用いる必要がある。一方、SODEL CMOS においては従来のトレンチ DRAM 技術をそのまま適用可能である。また一般に基板浮遊効果を加味した回路設計は難しくなるが、SODEL CMOS においては、危険回避のため一部をバルク CMOS 回路技術を用いて構成可能であるため、それだけ設計側への負担が小さくなる[6.6-6.7]。

SODEL CMOS は SOI を前提に設計した高性能版 LSI の基本素子の置き換えに用いられるだけではない。ゲート長は大きい低消費電力が必要なアプリケーションで、かつコストダウンと性能が要求される LSI に対しても回路性能を向上する手段として使える。したがって SODEL FET 技術は将来の LSI の性能向上技術として有望である。

6.8 第 6 章のまとめ

高性能システム LSI を念頭においた sub-100nm 領域での新しい FET 構造として SODEL FET (SODEL CMOS)を提案、試作してデバイス特性を検証した。その結果、低い接合容量、小さい基板バイアス係数などを達成しながらも 90 nm 世代とほぼ同等の高い電流駆動力を達成できた。

この素子はバルク基板上の CMOS 技術に基づいて設計・試作され、バルク素子と同一チップ上に混載することが比較的簡単に実現できるため、スタティック回路とダイナミック回路の両者において SOI 素子とバルク素子の両方の利点を持つ回路構成にできる。また SOI 素子に固有のセルフ・ヒーティングも事実上無視できる。

したがってこの SODEL FET デバイス技術はゲート長の大きな世代も含め、90 nm 世代以降も高性能システム LSI 向けとして有望である。

第 6 章の参考文献

- [6.1] K. Bernstein and N. J. Rohrer, "SOI Circuit Design Concepts," Kluwer Academic Publishers (Boston) (2000)
- [6.2] T. Mizuno, Y. Asao, and J. Koga, "High-performance shallow junction well transistor (SJET), " **1991 Symposium on VLSI Technology**, , pp. 109-110, (1991) .
- [6.3] H. Yoshimura, F. Matsuoka, and M. Kakumu, "New CMOS shallow junction well FET structure(CMOS-SJET) for low power-supply voltage," **International Electron Devices Meeting (IEDM) Tech. Dig.**, pp. 909-912, (1992)
- [6.4] M. Miyamoto, R. Nagai, and T. Nagano, "Pseudo-SOI: P-N-P-channel-doped bulk MOSFET for low-voltage high-performance applications," **International Electron Devices Meeting (IEDM) Tech. Dig.**, pp. 411-414, (1998)
- [6.5] M. Miyamoto, R. Nagai, and T. Nagano, "Pseudo-SOI: P-N-P channel-doped bulk MOSFET for low-voltage high-performance applications," **IEEE Transactions on Electron Devices**, ED-48, No.12, pp. 2856-2860, (2001).
- [6.6] H. -S. P. Wong, D. J. Frank and P. M. Solomon, "Device Design Considerations for Double-Gate, Ground-Plane and Single-Gate Ultra-Thin SOI MOSFET's at the 25 nm Channel Length Generation," **International Electron Devices Meeting (IEDM) Tech. Dig.**, pp. 407-410, (1998)
- [6.7] S. Inaba, K. Miyano, A. Hokazono, K. Ohuchi, I. Mizushima, H. Oyamatsu, Y. Tsunashima*, Y. Toyoshima and H. Ishiuchi, "Silicon on Depletion Layer FET (SODEL FET) for sub-50 nm high performance CMOS applications: Novel channel and S/D profile engineering schemes by selective Si epitaxial growth technology," **International Electron Devices Meeting (IEDM) Tech. Dig.**, pp. 659-662, (2002)
- [6.8] S. Inaba, K. Miyano, H. Nagano, A. Hokazono, K. Ohuchi, I. Mizushima, H. Oyamatsu, Y. Tsunashima, K. Ishimaru, Y. Toyoshima, and H. Ishiuchi, "SODEL FET: Novel channel and S/D profile engineering schemes by selective Si epitaxial growth technology," **IEEE Transactions on Electron Devices**, ED-51, No. 9, pp. 1401-1408, (2004).
- [6.9] S. Inaba, K. Okano, S. Matsuda, M. Fujiwara, A. Hokazono, K. Adachi, K. Ohuchi, H. Suto, H. Fukui, T. Shimizu, S. Mori, H. Oguma, A. Murakoshi, T. Itani, T. Iinuma, T. Kudo, H. Shibata, S. Taniguchi, M. Takayanagi, A. Azuma, H. Oyamatsu, K. Suguro, Y. Katsumata, Y. Toyoshima, and H. Ishiuchi, "High Performance 35 nm Gate Length CMOS with NO oxynitride Gate Dielectric and Ni Salicide," **IEEE Transactions on Electron Devices** , ED-49, No. 12, pp. 2263-2270, (2002).

- [6.10] A. Chatterjee, M. Rodder, and I. -C. Chen, "A transistor performance figure-of-merit including the effect of gate resistance and its application to scaling to sub-0.25 - μ m CMOS logic technologies," *IEEE Transactions on Electron Devices* , ED-45, No. 7, pp. 1246-1252, (1998).
- [6.11] T. Yamada, K. Takahashi, H. Oyamatsu, H. Nagano, T. Sato, I. Mizushima, S. Nitta, T. Hojo, K. Kokubun, K. Yasumoto, Y. Matsubara, T. Yoshida, S. Yamada, Y. Tsunashima, Y. Saito, S. Nadahara, Y. Katsumata, M. Yoshimi, and H. Ishiuchi, "An embedded DRAM technology on SOI/bulk hybrid substrate formed with SEG process for high-end SOC application," *2002 Symposium on VLSI Technology*, pp. 112-113, (2002)
- [6.12] T. Shino, T. Higashi, N. Kusunoki, K. Fujita, T. Ohsawa, N. Aoki, H. Tanimoto, Y. Minami, T. Yamada, M. Morikado, H. Nakajima, K. Inoh, T. Hamamoto, and A. Nitayama, "Fully-depleted FBC(loating body cell) with enlarged signal window and excellent logic procedss compatibility," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 281-284, (2004)

第 7 章 SODEL CMOS デバイスの論理回路、及び SRAM 回路への応用

7.1 第 7 章の概要

第 7 章では第 6 章で提案された Silicon on Depletion Layer MOSFET(SODEL FET)をさらに改良して、CMOS 論理回路動作に着目して評価する。

この素子はチャネル領域の下部に空乏層領域を持ち、これが SOI における BOX 酸化膜と同じ働きをする。したがって SOI 基板を用いなくても、バルク基板中において新しい部分空乏化型チャネル MOSFET として動作し、従来型バルク CMOS よりも小さい接合容量を持つ。

本章では前章までの結果を踏まえて、halo イオン注入の導入によってゲート長 $L \sim 50$ nm 程度まで動作する SODEL CMOS 回路を試作し、リングオシレーターの動作を通じて回路動作の高速性を検証した。さらに SRAM ADM (Static Random Access Memory Array Diagnostic Monitor)を試作してそれらの動作特性を調べた。それらの結果として、接合容量の低減と body effect の低減によって高速回路動作が実証された。また SODEL CMOS を適用した SRAM においても十分な SNM(Static Noise Margin)を持ち、正常動作が確認された。

したがって SODEL CMOS デバイスは高速・低消費電力 LSI アプリケーションに適用可能であることが示された。

7.2 本研究の背景

SOI CMOS、特に部分空乏化型（以下 PD-と略）SOI CMOS の応用が高性能システム LSI 向けとして最近注目されている。その理由としては第 6 章に述べたように

- (1) body 領域が BOX 層で基板と分離されるために、基板浮遊効果による飽和電流 I_{dsat} の増大がある。
- (2) 接合容量 C_j が非常に小さい。（特にソース・ドレイン部の底面成分）
- (3) 基板バイアス効果が無く、body 効果が事実上無視できる。これは多段積みの CMOS 論理回路において高速動作に適する。

などがある。しかしながら PD-SOI 型 CMOS デバイスにはバルク基板上の CMOS デバイスと比較して不都合な点も存在する。特に電気特性的には基板浮遊効果に起因するキンク特性、ヒストリー効果などにより、SOI デバイスには従来の LSI 回路設計技術をそのまま適用できないという問題がある。

第 6 章において上記の SOI MOSFET の電気特性で有益な特性のみを得るために、バルク基板を用いた新しい Silicon on Depletion Layer (SODEL) FET の概念を提案し、プロセス・デバイスシミュレーションと素子試作によりその特性を検証した。この SODEL FET の特徴はいわゆる body 領域の下側（奥側）に空乏層が存在する点にある。このチャネル部の下側の空乏層が電氣的に基板とチャネル領域を分離し、SOI 素子における BOX 酸化膜と同じ働きをする。

本章では AC 特性を中心にした SODEL CMOS の回路動作性能について議論する。特に低消費電力で動作するアプリケーションに対する SODEL CMOS デバイスの適合性を議論する。

以下では最初にインバーター等の基本的な論理回路のスイッチング特性を数種類のリングオシレーターの実測結果を用いて議論する。次にデバイスの電気特性の実測値から抽出した SPICE パラメータを用いて回路動作シミュレーションを実行し、それらの結果が接合容量と body effect の低減に起因することを確認する。さらにこの SPICE パラメータを用いたスタティック論理回路、またはダイナミック論理回路のシミュレーションを通じて、SODEL CMOS がバルク CMOS に比べて有利である点、不利である点を検証する。

また 90 nm ノードのデザインルールを用いて試作した SODEL CMOS による SRAM ADM(Array Diagnostic Monitor)の特性を実験結果とシミュレーション結果から議論する。

7.3 デバイス構造、並びに DC 特性

図 7.1 に SODEL FET の基本的な概念図を示す[7.1-7.2]。第 6 章でも議論したがデバイス構成要素として(1)チャネル反転層領域を含む body 領域 (nFET ならば p 型 Si)、(2)その下部の空乏層領域 (nFET ならば n 型 Si 領域で不純物濃度 $\sim 10^{17} \text{ cm}^{-3}$)、そして(3)基板領域 (nFET ならば p 型 Si) から成る。pFET も同様な構造で nFET と同時に試作した。

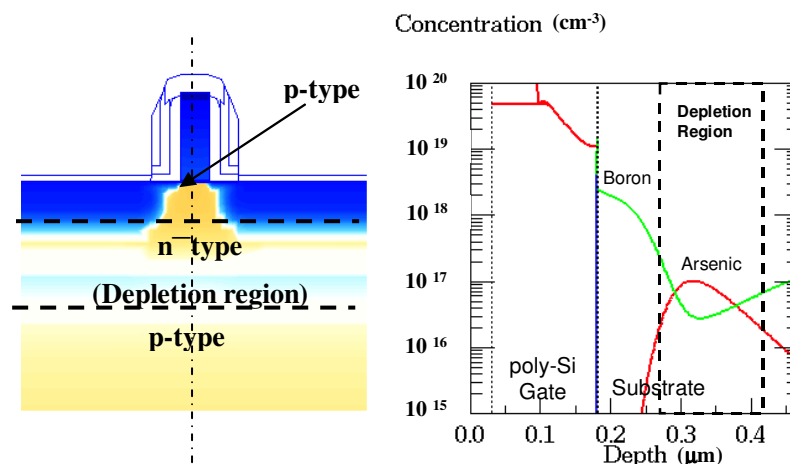


図 7.1 SODEL nFET 構造の概念図と基板垂直方向の不純物濃度プロファイル (シミュレーション)。
空乏層領域 (Depletion layer) は SOI の BOX 酸化膜と同様に絶縁膜の役目を果たす。

デバイスの試作フローを表 1 に示した[7.3, 7.4]。今回のデバイス試作に関しては第 6 章の試作例よりも短チャネル効果への耐性を高めるために halo イオン注入の条件を変えた。空乏層領域形成のためのイオン注入条件 (ここではイオン種、イオン注入エネルギー、および単位面積あたりの不純物導入量) は前回の試作を参考にして、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度になるように、かつ浅い不純物層になるようにした。たとえば nFET では、As 150 keV、 $1.0 \times 10^{12} \text{ cm}^{-2}$ 、pFET については BF_2 50 keV、 $1.0 \times 10^{12} \text{ cm}^{-2}$ とした。

また halo イオン注入は nFET に対しては BF_2 40 keV、ビーム傾斜角 30 度、全ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ 、pFET については As 40 keV、ビーム傾斜角 30 度、全ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した。

- * Isolation
- * Well / Channel dopant ion implant
- * Counter dopant ion implant
(for depletion region formation)
- * Channel Si epitaxy (selective, $T_{si} \sim 60 \text{ nm}$)
- * V_t adjustment ion implant
- * Gate dielectric formation ($T_{ox} \sim 1.1 \text{ nm}$)
- * Gate electrode formation ($L_{poly} \sim 30 \text{ nm}$)
- * Optional halo implant
- * S/D extension ion implant
- * Gate sidewall formation
- * S/D Deep junction ion implant
- * Activation RTA
- * NiSi Salicide process
- * Metallization (One metal process)

表 1 改良された SODEL CMOS の
試作フロー

次に寄生容量の実測値を 90 nm node CMOS のパラメーターと比較した（表 2）[7.5]。今回は halo イオン注入を用いたため第 6 章の素子よりも接合容量値は増加したが、それでもその底面成分については一般用途向けの 90 nm node CMOS の標準値より 30%程度低減された。

表 2 SODEL CMOS と従来型バルク CMOS における接合容量の比較

	SODEL nFET & pFET	90 nm node conv. bulk CMOS
C_j area (fF / μm^2) @0.0 V	0.66 / 0.83	~1.1
C_j area (fF / μm^2) @1.0 V	0.55 / 0.55	~0.8
C_j field edge (fF / μm) @0.0 V	0.056 / 0.047	~0.06
C_j field edge (fF / μm) @1.0 V	0.049 / 0.044	~0.055
C_j gate edge (fF / μm) @0.0 V	0.33 / 0.47	~0.45
C_j gate edge (fF / μm) @1.0 V	0.21 / 0.19	~ 0.24

試作した SODEL MOSFET の V_t roll-off 特性を図 7.2 に、そして I_d - V_g 特性と I_d - V_d 特性を図 7.3 にそれぞれ示す。ゲート長 L_g は 30 nm 程度まで物理的に加工ができたが、 V_t roll-off 特性上では $L_g = 50$ nm 程度まで短チャネル効果が抑制された。第 6 章で議論した SODEL FET では最小ゲート長が $L_g = 70 \sim 100$ nm であったので SODEL CMOS においても短チャネル効果改善に対する halo イオン注入の有効性が示された。

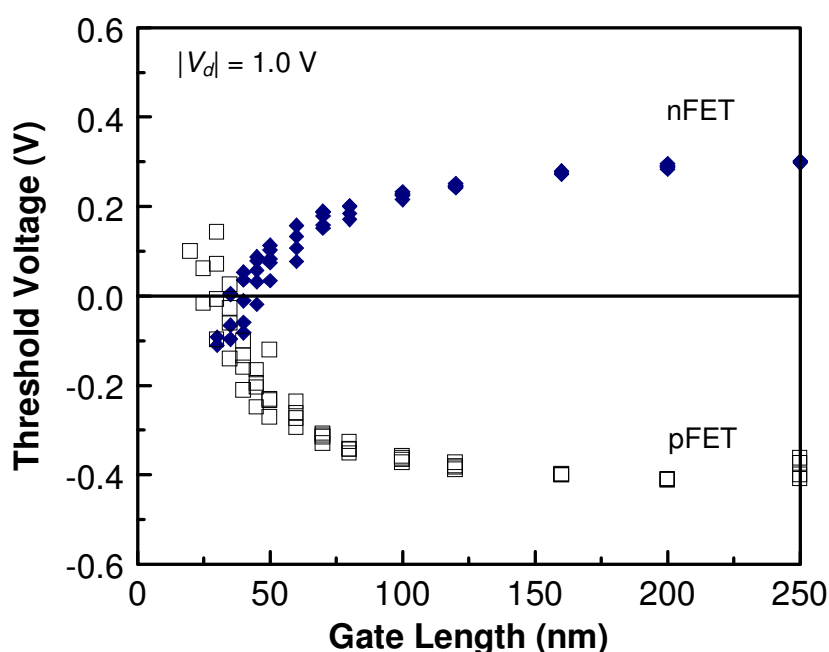


図 7.2 今回試作した SODEL nFET と pFET の 5 極管領域における V_t roll-off 特性。

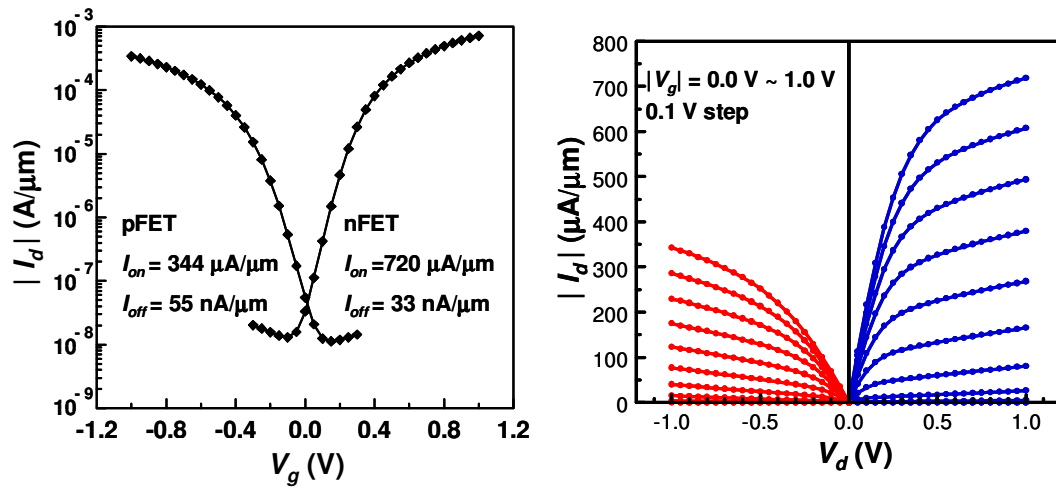


図 7.3 今回試作した SODEL nFET と pFET の

5 極管領域における I_d - V_g 特性と I_d - V_d 特性。

キンク特性などは見られていない。これらの素子のゲート長 L_g は 60 nm 程度である。

7.4 SODEL CMOS インバーターのスイッチング特性

CMOS インバーターにおけるゲート遅延時間（propagation delay time (τ_{pd})）は LSI の動作速度の性能予測において重要なパラメーターである。最近の LSI においてはトランジスター内部よりもむしろ多層配線に起因する配線容量の影響が大きい、それでも CMOS デバイス内部における寄生効果（寄生容量、寄生抵抗）が動作速度に及ぼす影響を無視できないため、 τ_{pd} は良い性能指数となっている。第 6 章で議論したように、SODEL CMOS においてはソース・ドレイン領域における接合容量が通常型のバルク CMOS よりも小さく、論理回路において高いスイッチング性能が期待される。これを実験的に検証した。

まず最初に、同じレイアウト（形状）の CMOS インバーターで構成されたリングオシレーター（151 段）の遅延時間を SODEL CMOS と通常型のバルク CMOS とで比較した[7.3, 7.4]。 τ_{pd} を測定した後、次にインバーターを構成するものと同型のトランジスターのドレイン電流を測定した。得られた τ_{pd} をドレイン電流の逆数の平均値の関数として図 7.4 にプロットした。これを見ると同じドレイン電流で比較すると確かに SODEL CMOS の方が τ_{pd} が小さく高速である。この差は両者において C_j が異なるためと推測される。

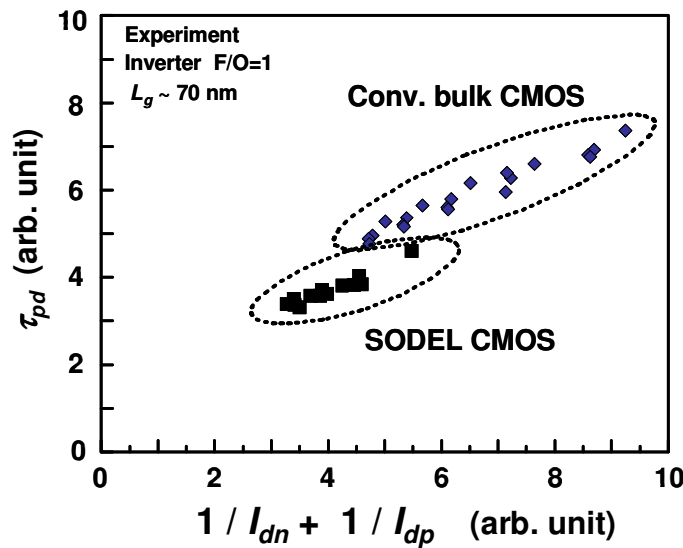


図 7.4 今回試作した SODEL CMOS と従来型バルク CMOS におけるドレイン電流とゲート遅延時間 τ_{pd} の関係。

ゲート長がほぼ同じリングオシレーターを複数個測定して電圧を変えて遅延時間変化をみた。

さらに数種類のリングオシレーターを設計、試作して SODEL CMOS のスイッチング特性の特徴を調べた。図 7.5 には nFET 部分が 5 段直列に接続されているインバーター（5 段縦積み nFET インバーター）からなるリングオシレーターの回路例を示した。これらの回路では、信号入力される nFET が最上段（top switching）か、最下段（bottom switching）かで、ドレイン側の拡散層の容量成分と body effect の効果が違って見えるはずである。

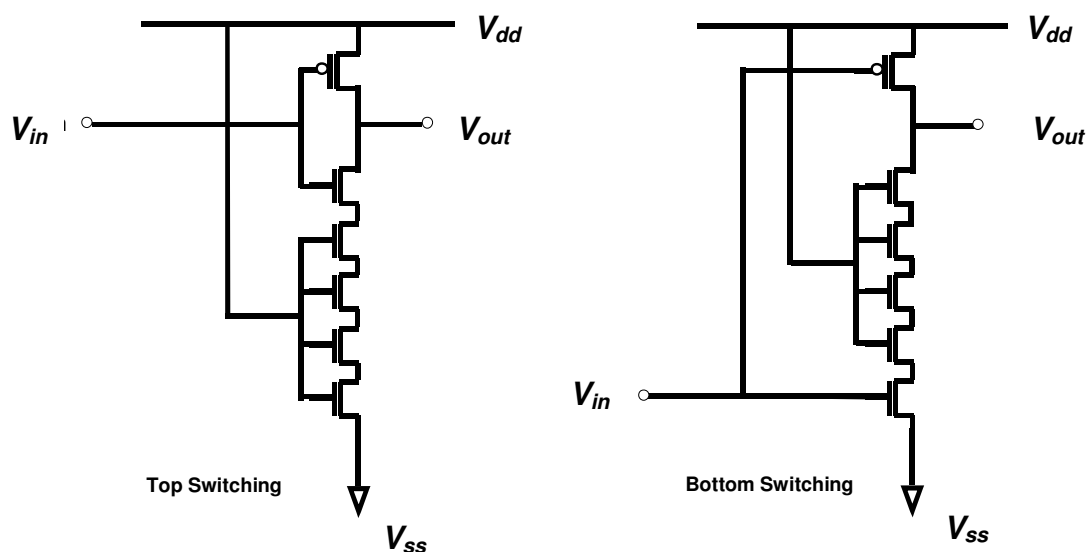


図 7.5 5 段縦積み nFET からなるインバーターの回路図。

Top switching と bottom switching の回路構成で τ_{pd} に対する寄生効果と body effect が異なる。

これらを用いて SODEL CMOS と従来型バルク CMOS の多段積み論理ゲートにおける遅延時間の差を議論する。すでに図 7.4 で示したように標準型インバーターにおいても従来型バルク CMOS と SODEL CMOS の遅延時間差が生じているのでここでは標準型インバーターの遅延時間で実測値を規格化した。図 7.6 にこの特殊インバーターのゲート遅延時間 τ_{pd} の測定結果を示す。

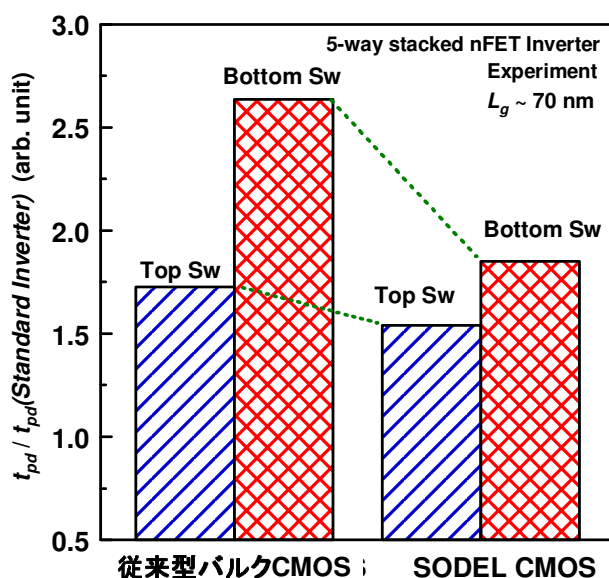


図 7.6 従来型バルク CMOS と SODEL CMOS における
5 段縦積み nFET インバーターの遅延時間 τ_{pd} の比較

規格化した遅延時間で比較すると SODEL CMOS においては top switching で ~11 %、
bottom switching で ~25 % の遅延時間改善が見られた。

この規格化した遅延時間 τ_{pd} で比較すると、SODEL CMOSにおいてtop switchingで約11%、bottom switchingで約25%の遅延時間改善が見られた。top switchingで見られた τ_{pd} 改善の要因は主としてpFET部とtop nFETのドレイン領域においてSODEL CMOSを採用したことで C_j が低減され、かつbody effectが減少し、top nFETの電流駆動力が改善したためと説明できる。一方でbottom switchingにおける τ_{pd} 改善はbottom部nFETにおけるドレイン側の負荷容量が (C_j が各nFETで低減されたので) 結果的に減少したためと考えられる。このような改善効果は従来型CMOSデバイスでは得られないものである。

したがって、縦積みのMOSFETが重要な役割を果たしている回路（例えばアドレスデコーダーなど）にこのSODEL CMOSを用いれば各入力アドレス信号間のスキューが抑制され、かつクリティカル・パス (critical path) の遅延時間改善が期待される。

SODEL CMOSにおける接合容量の低減効果は別のリングオシレーターでも確認された。図7.7はドレイン領域面積を通常型の4倍と8倍に拡張したトランジスタからなるインバーターのゲート遅延時間実測結果である。ゲート遅延時間はドレイン面積にほぼ直線的に比例するが、従来型のバルクCMOSと比較してSODEL CMOSの場合はその依存性が小さい。例えば従来型CMOSではドレイン面積を8倍にすると τ_{pd} が2.3倍になってしまうのに対し、SODEL CMOSでは1.4倍程度に収まっている。

これにより、PD-SOIの場合と同様にSODEL CMOSの場合にも接合容量低減効果が遅延時間改善に寄与する。

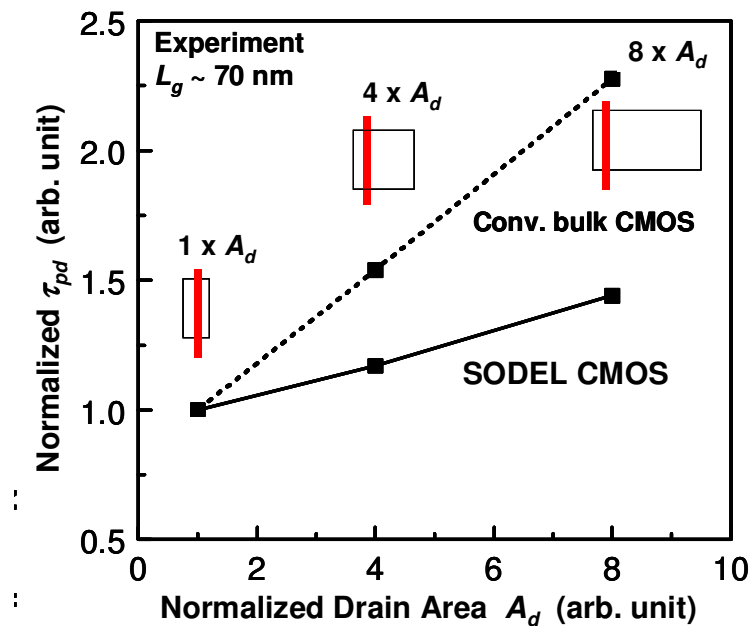


図 7.7 インバーターを構成するトランジスタの
ドレイン面積 A_d と τ_{pd} の関係の実測値

τ_{pd} はドレイン面積にほぼ比例するが SODEL CMOS ではその依存性が小さい。

ここまでは動作電圧 V_{dd} を一定と仮定し、同じゲート長で比較した場合に従来型 CMOS よりも SODEL CMOS が高速であることを示した。逆に従来型と SODEL CMOS とで τ_{pd} が一定となる拘束条件を仮定し、この SODEL CMOS の高速性を消費電力低減に応用した場合を検討した。

以下では power・delay 積(PD 積)を実測値から計算して、従来型 CMOS と SODEL CMOS とで同一の τ_{pd} を仮定した時のインバーターのスイッチング一回あたりに必要なエネルギーを求めて比較した。ここで power の測定値はリングオシレーター回路に流れ込む電流と印加電圧 V_{dd} の二乗との積を取って計算した。

図 7.8 に測定値から計算された PD 積と V_{dd}^2 との関係を示す。また従来型 CMOS と SODEL CMOS の各々のリングオシレーターで power と τ_{pd} を計算すると、従来型 CMOS で 1.0 V 動作時のゲート遅延時間 τ_{pd} が SODEL CMOS では 0.84V 程度で実現できることがわかった。(図中では☆で示した。) これらの結果より計算すると今回の素子では PD 積としては従来型の約 70%になっていた。

したがって SODEL CMOS はその高速性を生かして LSI の低消費電力化にも大きく寄与できることがわかった。

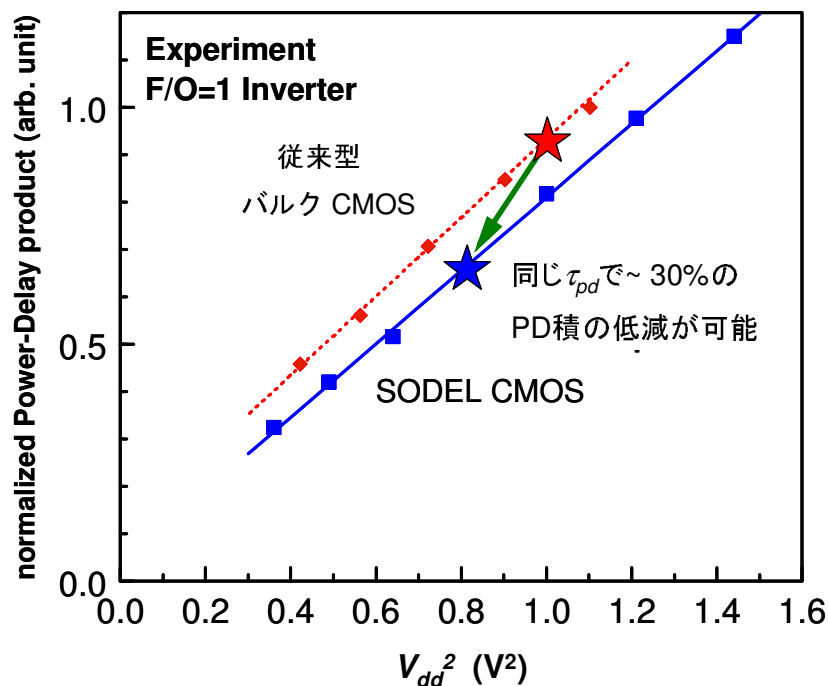


図 7.8 V_{dd}^2 と規格化された Power-Delay 積の関係。

★で示しているが、従来型 CMOS の 1.0 V でのゲート遅延時間が SODEL CMOS の遅延時間では 0.84 V 程度のところで実現される。これは PD 積で従来型バルク CMOS の場合に比較して 30 %程度の低減と等価である。

7.5 SODEL CMOS デバイスのスタティック、及びダイナミック回路への適用

今回の SODEL CMOS デバイスに関して BSIM3v3 モデルに基づいた SPICE シミュレーション用のモデルパラメーターを抽出することを試みた[7.3, 7.4]。これらのモデルパラメーターが実測された DC 特性から抽出できれば回路シミュレーター上で SODEL CMOS の特性を再現でき、回路動作への応用が可能となる。

ここではリングオシレーターに用いられた FET と同型の MOSFET を用いてモデルパラメーターを抽出した。抽出したパラメーターを用いた SPICE モデル計算では従来型 FET の場合は実測値をよく再現しているが、SODEL FET の場合にはゲート長を限定してもモデル計算と実測値の差が見られており、限られた時間内では I_d - V_d 特性を完全に再現することができなかった（図 7.9 参照）。その理由の一つには SODEL FET では V_d が大きいところで body が浮遊状態になるので、 V_g が小さい領域ではバルク FET のモデルから予測される電流値よりも大きくなるためと推測される。

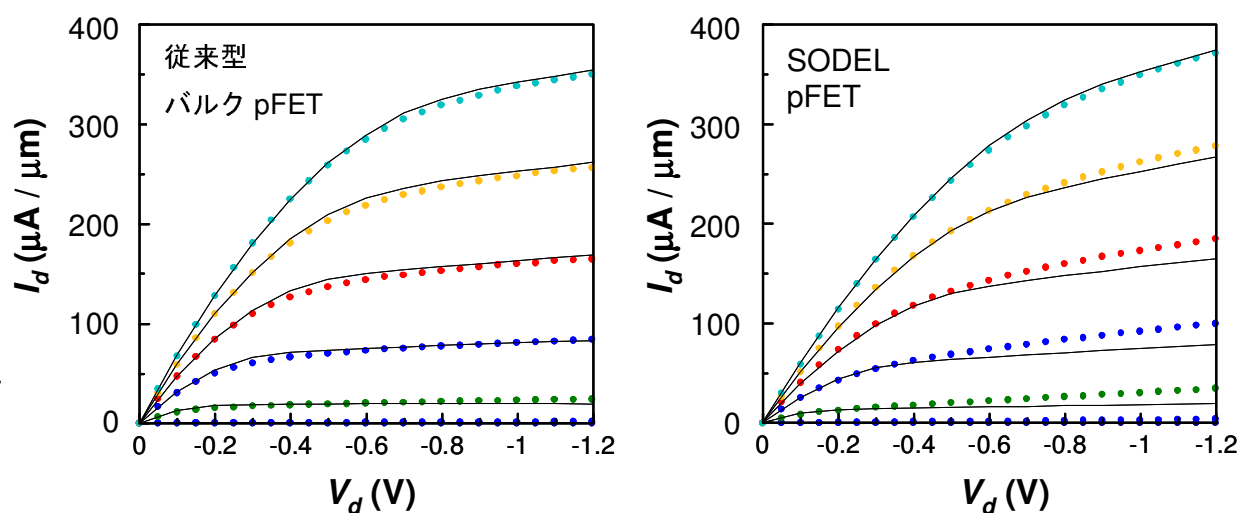


図 7.9 BSIM3v3 のパラメーターによる従来型バルク pFET と SODEL pFET の I_d - V_d 特性の比較（点線が実測値で実線が計算値）

SODEL FET では body が浮遊状態になるために V_g の小さい領域で実測値と計算値の誤差が大きい。

仕上がりゲート長は共にほぼ同じ 60 nm 程度と考えられる。

抽出したSPICEパラメーターと実測した C_j などのパラメーターを組み合わせ、リングオシレーターの τ_{pd} を計算した。最初に標準的なインバーターの遅延時間計算を行い、定性的な実験結果の再現性を確認した。その後に入力NANDゲートの遅延時間を計算した。

結果的には4入力NANDの場合、従来型CMOSとSODEL CMOSを比較するとtop switching で16%、bottom switchingで23%程度の遅延時間改善が見られた。

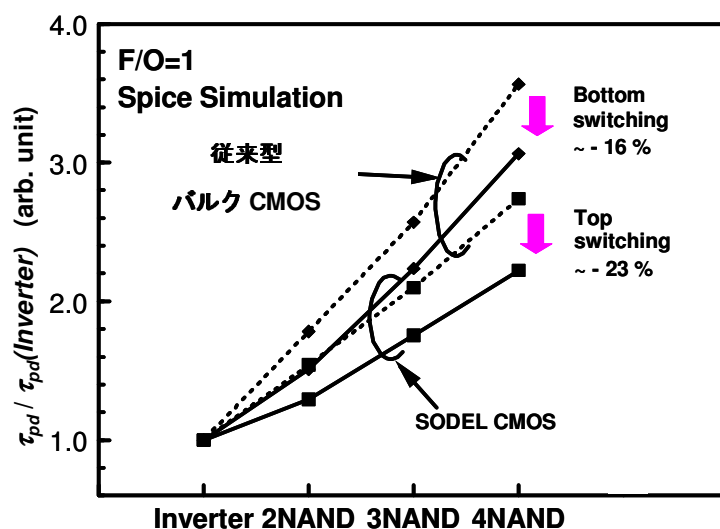


図 7.10 SPICE による多入力 NAND ゲートにおける遅延時間の計算結果。

4 入力 NAND において、SODEL CMOS では従来型バルク CMOS と比較して

16 ~ 23 % 遅延時間が改善される。

次にこれらの SPICE パラメーターを用いてダイナミック論理回路での遅延時間を計算した。例えばドミノ回路（図 7.11）を例にとると、高速性と同時にダイナミック チャージ シェアリング(dynamic charge sharing)現象、つまり“summand node $N1$ に pre-charge された電荷が Transistor A,B,C の容量分割によって分配された結果、 $N1$ の電位が低下する”という現象を考慮しなければならない。

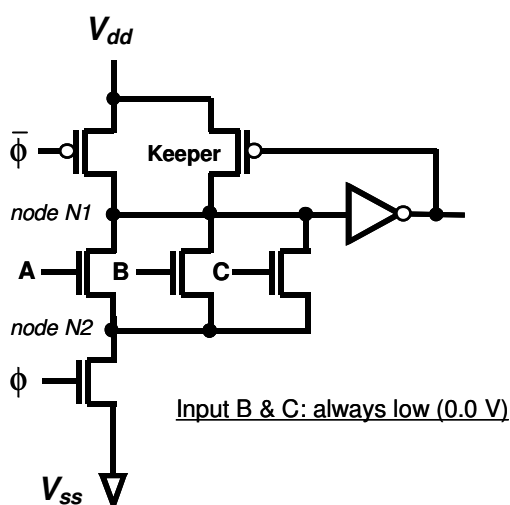


図 7.11 ダイナミック回路の一例（ドミノ回路）

ϕ は clock で、node $N1$ は summand node と言われる。

入力端子 B と入力端子 C は常に high(on)状態という設定で計算した。

シミュレーションはclock ϕ と半周期ずれたパルス入力を仮定し、このドミノ回路応答の時間的变化を計算した(図7.12)。入力端子Aがhighになった瞬間に蓄積されていた電荷の再分配によるチャージシェアリングが発生するが、SODELCMOSにおいてはそのチャージシェアによる電位変動が小さく、動作が安定である。これは C_j が従来型CMOSよりも小さいので電位変動も小さいためである。これだけではなくSODEL CMOSはもちろんclock ϕ の入力時の応答も速い。したがってダイナミック回路においてもSODEL CMOSはその能力を発揮できる。

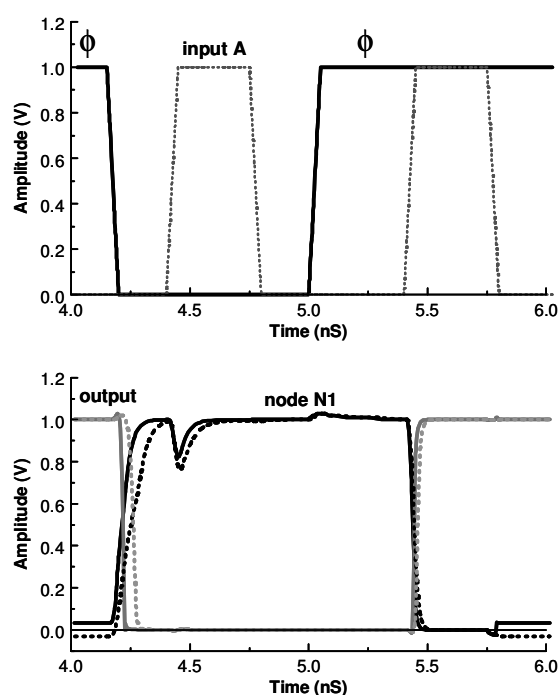


図 7.12 パルス入力に対するドミノ回路の過渡応答のシミュレーション結果

出力曲線において、点線が従来型バルク CMOS で、実線が SODEL CMOS を示している。

もちろんSODEL CMOSのダイナミック回路の欠点としては、高速化のメリットの反面、summand nodeの容量が軽くなるのでノイズマージンが厳しくなることが挙げられる。したがって回路設計において動作時間等に余裕を持たせる必要がある。ただしこの場合でもPD-SOI CMOSのダイナミック回路設計時に必要とされるマージンよりは小さく、従来型のバルクCMOSに近いので回路設計が容易になる。

7.6 SODEL FET の SRAM 試作ならびに動作特性

SODEL CMOS の LSI への適用可能性をチェックするために、SRAM Cell から構成される 1 Mbit の ADM(Array Diagnostic Monitor)を SODEL CMOS 技術を応用して試作した[7.3, 7.4]。今回の LSI 試作につかった MOSFET 技術は 90nm ノードのデザインルールに相当するものであり、約 1.6 nm の厚さのゲート絶縁膜が形成されている[7.3, 7.4, 7.6]。測定した SRAM ADM は Cell size= $1.656 \mu\text{m}^2$ のもので、このサンプルでは仕上がりのゲート長 L_g は 70-80 nm である。(図 7.13)

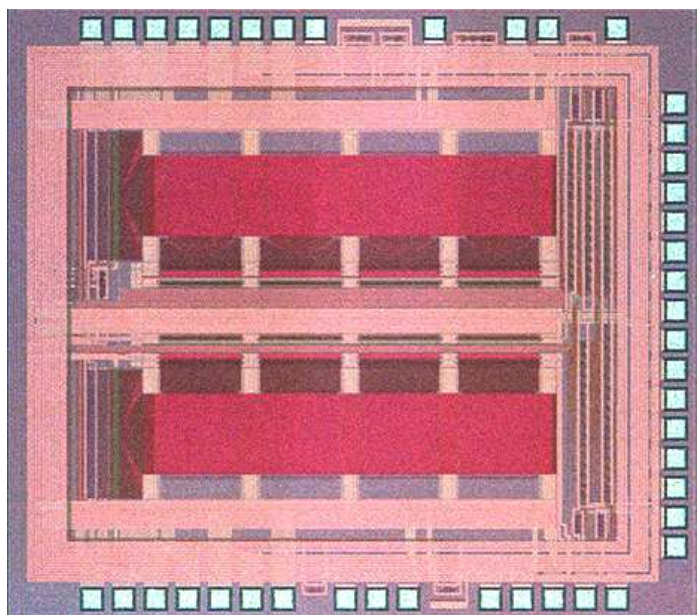


図 7.13 今回試作した 1Mbit SRAM ADM のチップ写真

図 7.14 は SRAM Cell TEG(Test Element Group)を用いて計測されたバタフライ曲線(butterfly curve)の測定結果で、動作電圧を 0.4 V 程度にまで落としても SRAM Cell 動作が確認された。

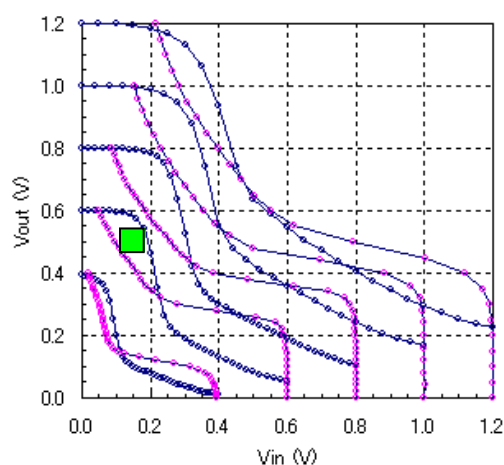


図 7.14 SODEL CMOS における SRAM Cell 動作を示すバタフライ曲線の一例

これは SRAM Cell における左右のインバーター特性を電圧を変化させながら重ねて描いたもので、両者に電位差があれば正常動作しているとみなせる。図中の正方形の一辺の大きさが Static Noise Margin(SNM)である。

Static Noise Margin (SNM)はこのバタフライ曲線に内接する最大正方形の大きさから規定される（図 7.14 中の正方形を参照）。SODEL CMOS の SNM を V_{dd} に対してプロットしたものを図 7.15 に示す。動作電圧 V_{dd} を 0.6 V まで下げても SNM は約 95mV を確保しており、これは 65 nm ノードテクノロジーの SRAM で報告されている値とほぼ同じくらいマージンがあることがわかった[7.7]。

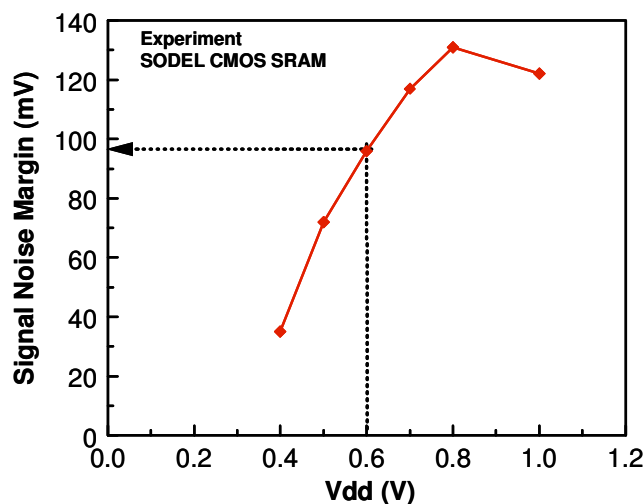


図 7.15 SODEL CMOS SRAM における SNM の V_{dd} 依存性

次に図 7.16 に測定された Function Bit Rate と V_{dd} の関係を示す。Function Bit Rate は Cell Array 全ビットに対して動作しているビット数の割合で規定する。今回の試作した SRAM ADM では、周辺回路の MOSFET の V_t が高く（0.8V 以上）、そのせいで 0.8 V 以下の Cell 動作が観測されていない。ただし、 $V_{dd} \geq 0.85$ V の領域ではほぼ 100% の function yield となっており電圧低下に伴う fail bit 数の増え方も緩い。したがって SNM の結果を考慮すると、周辺回路の V_t 調整ができた場合には 0.6 V 程度まではこの SODEL CMOS SRAM の動作マージンがあると期待できる。

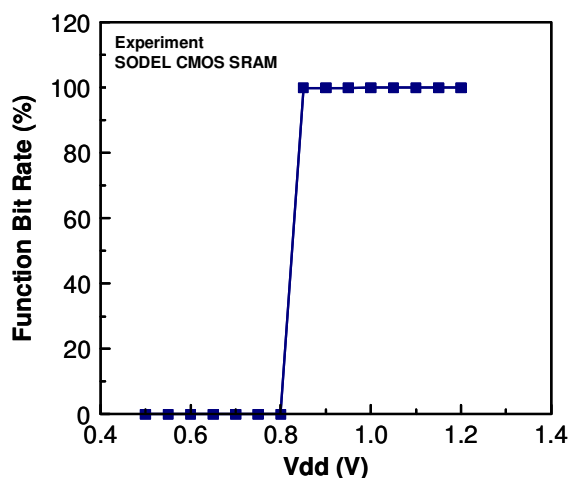


図 7.16 SODEL CMOS SRAM の V_{dd} と function bit rate の関係

周辺回路のしきい値が高いために 0.8 V で動作が止まってしまうが、図 7.15 に示したように Cell 内部では 0.6 V 程度の低電圧側でも十分な動作マージンがあると想像できる。

さらに、先に抽出した SPICE パラメーターを用いて、SODEL CMOS SRAM の回路シミュレーションを実行した。このシミュレーションでは BLT(Bit Line True)と BLC(Bit Line Complement)の二つのビット線間に 256 個の Cell 配置を仮定した。また配線容量は簡単化のため省略した。それゆえビット線容量として遅延に見えてくる効果は Cell の transfer nFET の接合容量に起因している。ここで WL(Word Line)、WR(WRite enable)、D(Data)などのパルス立ち上がり、立ち下り時間は 50 ps とした。

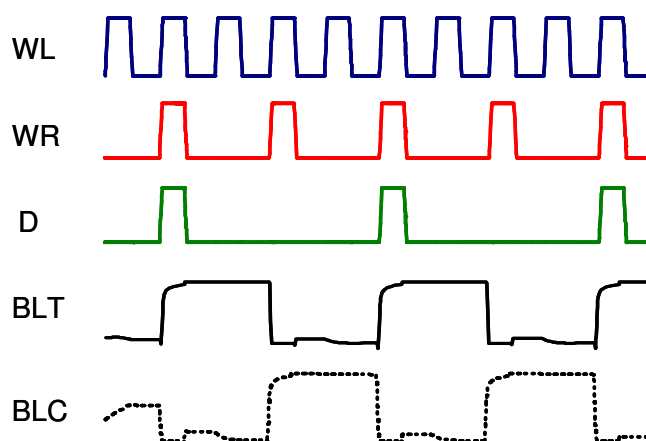


図 7.17 SODEL CMOS SRAM の Cell 動作のシミュレーション結果

各ビット線には 256 個の Cell を接続し、配線容量は無視して計算した。

パルス立ち上がり時間・立ち下り時間は 50 ps とした。

またビット線信号の遅延を通常型 CMOS と SODEL CMOS とで比較した(図 7.18)。これは”1”を write していることに相当する。(この図においても信号の立ち上がりは 50 ps とした。)

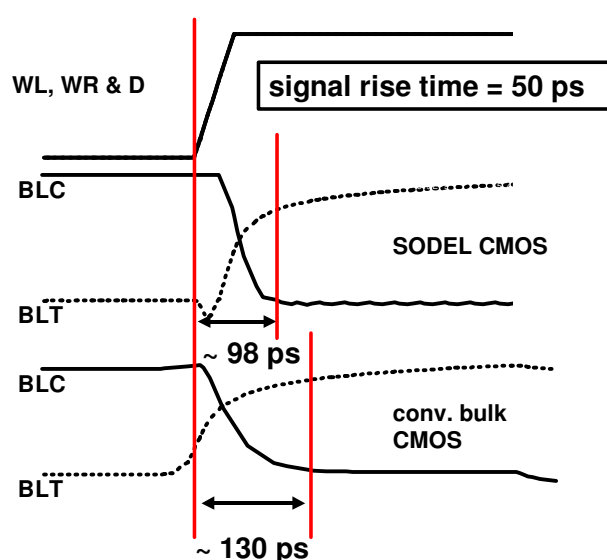


図 7.18 従来型と SODEL CMOS SRAM におけるビット線電位波形の相対比較

WL,WR,D の各信号の立ち上がり時間は 50 ps である。

これらのシミュレーション結果からわかることは以下の 2 点である。

- (1) SODEL CMOS SRAM として特別な設計をせず、従来型 CMOS の回路をそのまま利用しても SRAM 動作する。(従来型のバルク CMOS と比較してもある程度の動作マージンがある。)
- (2) SODEL CMOS の接合容量低減効果により、ビット線遅延は改善され高速動作する。

(1)は従来からある SRAM の設計手法を適用するにあたり非常に重要である。PD-SOI CMOS の場合は SRAM の動作マージンを確保するために新たな設計指針を設ける必要があるが、SODEL CMOS においては現在のところ主だった回路設計上の欠陥は見出されていないため従来型 CMOS の設計をそのまま流用可能である。

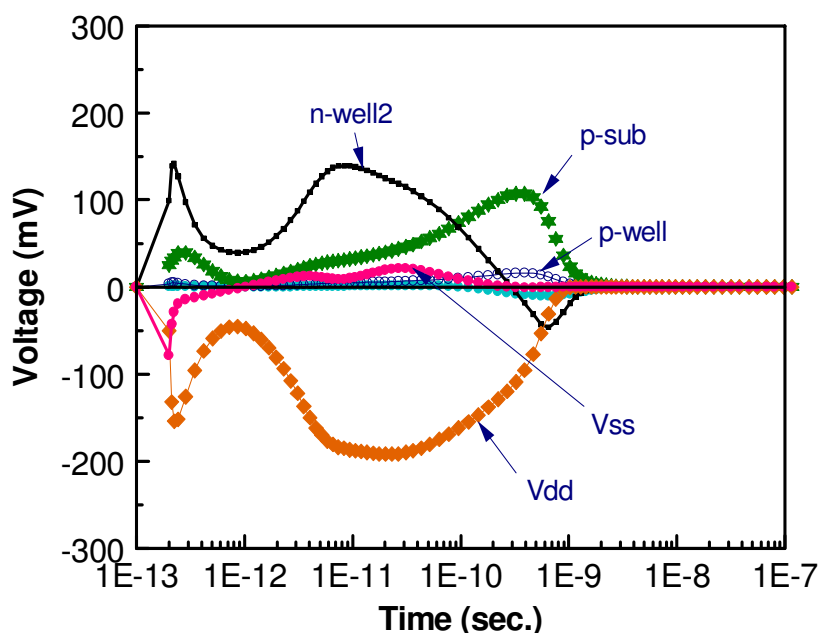
(2)のビット線遅延においては、将来の CMOS スケーリングにおいて接合容量増大は無視できないため、この成分の低減は重要である。ただし今回の解析では配線容量を無視しているので、将来配線構造もスケーリングされ、配線容量が無視できない場合にはより詳細な解析が必要である。

したがって今回の実験、シミュレーションを通じ、高速動作を実現する SODEL CMOS SRAM の優位性が示された。

また最近ソフトエラー起因の SRAM 誤動作が問題視されている。今回 SODEL CMOS SRAM 構造における宇宙線起因のラッチアップに関しても 3 次元デバイスシミュレーターで調べた[7.3, 7.4]。

この一種のソフトエラー(soft error) について SRAM では対策が重要になりつつあり、高速性が保証されてもこのソフトエラー耐性が無い素子は SRAM としては実用にならない。今回は STI 幅を $0.30\text{ }\mu\text{m}$ 、well 分離長を $0.28\text{ }\mu\text{m}$ 、Cell 中の分離長を $0.12\text{ }\mu\text{m}$ と仮定して 3 次元デバイスシミュレーションを実行した。

図 7.19 がその結果の一例であるが、どの端子における電流も α 線照射から 2 ns 以内には消滅している。これは通常型のバルク CMOS の場合とほぼ同じ程度のオーダーの時間である。もしラッチアップを起こした場合には時間を経るにつれて各端子の電位が増幅されていき、最後には大電流が発生することになる。この結果から SODEL CMOS を用いて SRAM を形成しても特にラッチアップ耐性が劣化しないと言える。



$R_{nw}=1\text{ k}\Omega, 100\text{ fC/cm}$

図 7.19 α 線照射によって各 node に誘起された電位の時間 t 依存性
(3 次元デバイスシミュレーションによる。)

一回の α 線照射による電荷生成量は $200\text{ fC}/\mu\text{m}$ とした。

各ノードの電位は $t=2.0\text{ ns}$ でほぼ収束していることがわかる。

7.7 第7章のまとめ

本章では SODEL CMOS デバイスの論理回路動作における特性を実験とシミュレーションを通じて議論した。特にゲート遅延時間 τ_{pd} と power・delay 積は同程度のゲート長を持つ従来型バルク CMOS と比較して 20%程度以上改善した。これは主として PD-SOICMOS と同様に接合容量 C_j の低減と body effect の低減による。

次に 1M bit の SODEL CMOS SRAM ADM を 90 nm node 技術を用いて試作した。測定結果からは SODEL CMOS 適用による SRAM 動作の不都合は見出せず、また回路シミュレーションではビット線遅延改善がみられた。

したがってこの SODEL CMOS は 50 nm 程度のゲート長の世代までは高速、低消費電力、かつコストパフォーマンスで勝負するような LSI アプリケーションに適用可能である。また SODEL CMOS は従来のバルク CMOS と容易に組み合わせ可能で、それゆえ、最近の SoC アプリケーションや混載メモリー、RF アプリケーションなどにも適応できる。

第 7 章の参考文献

- [7.1] S. Inaba, K. Miyano, A. Hokazono, K. Ohuchi, I. Mizushima, H. Oyamatsu, Y. Tsunashima*, Y. Toyoshima and H. Ishiuchi, "Silicon on Depletion Layer FET (SODEL FET) for sub-50 nm high performance CMOS applications: Novel channel and S/D profile engineering schemes by selective Si epitaxial growth technology," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 659-662, (2002).
- [7.2] S. Inaba, K. Miyano, H. Nagano, A. Hokazono, K. Ohuchi, I. Mizushima, H. Oyamatsu, Y. Tsunashima, K. Ishimaru, Y. Toyoshima, and H. Ishiuchi, "SODEL FET: Novel channel and S/D profile engineering schemes by selective Si epitaxial growth technology," *IEEE Transactions on Electron Devices*, ED-51, No. 9, pp. 1401-1408, (2004).
- [7.3] S. Inaba, H. Nagano, K. Miyano, I. Mizushima, Y. Okayama, T. Nakauchi, K. Ishimaru and H. Ishiuchi, "Low power logic circuit and SRAM cell applications with Silicon on Depletion Layer CMOS (SODEL CMOS) technology," *IEEE Custom Integrated Circuits Conference (CICC)*, 11-2, pp.225-228, (2004).
- [7.4] S. Inaba, H. Nagano, K. Miyano, I. Mizushima, Y. Okayama, T. Nakauchi, K. Ishimaru and H. Ishiuchi, "Low-power logic circuit and SRAM cell applications with Silicon on Depletion Layer CMOS (SODEL CMOS) technology," *IEEE Journal of Solid-State Circuits*, Vol. 41, No.6, pp. 1455-1462, (2006).
- [7.5] K. Miyashita, T. Nakayama, A. Oishi, R. Hasumi, M. Owada, S. Aota, Y. Okayama, M. Matsumoto, H. Igarashi, T. Yoshida, K. Kasai, T. Yoshitomi, Y. Fukaura, H. Kawasaki, K. Ishimaru, K. Adachi, M. Fujiwara, K. Ohuchi, M. Takayanagi, H. Oyamatsu, F. Matsuoka, T. Noguchi and M. Kakumu, "A High Performance 100 nm Generation SOC Technology[CMOS IV] for High Density Embedded Memory and Mixed Signal LSIs," *2001 Symposium on VLSI Technology*, pp.11-12, (2001).
- [7.6] Y. Fukaura, K. Kasai, Y. Okayama, H. Kawasaki, K. Isobe, M. Kanda, K. Ishimaru and H. Ishiuchi, "A Highly Manufacturable High Density embedded SRAM Technology for 90nm CMOS," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 415-418, (2002).
- [7.7] M. Kanda, E. Morifuji, M. Nishigoori, Y. Fujimoto, M. Uematsu, K. Takahashi, H. Tsuno, K. Okano, S. Matsuda, H. Oyamatsu, H. Takahashi, N. Nagashima, S. Yamada, T. Noguchi, Y. Okamoto and M. Kakumu, "Highly Stable 65nm Node (CMOS5) 0.56 μm^2 SRAM Cell Design for Very Low Operation Voltage," *2003 Symposium on VLSI Technology*, pp.13-14, (2003).

第 8 章 結論

本論文では「sub-50 nm 世代高性能 ULSI 用 CMOS デバイス微細化技術の研究」と題して、高性能 ULSI 向けの極微細ゲート長 CMOS デバイスの製造上の問題点を提起し、それらの解決方法に対する一考察を行った。また実際にゲート長 35 nm までの CMOS デバイスを試作し、評価した結果を述べた。また高性能化を目指すための新しい CMOS デバイス構造を提案し、実験的に効果を検証した。

ここでは簡単に各章の内容を振り返り、今後のさらなる問題点を指摘して将来の超高速・低消費電力 ULSI の実現への展望を提示して結論とする。

第 1 章の「序論」では、CMOS デバイスの微細化による高性能化を実現するにあたり、その課題を概説した。また本論文の各章での議論の役割を述べた。

第 2 章では「0.10 μm CMOS デバイスの室温動作実証と性能解析」と題して、1990 年代初頭の試作当時の従来技術を応用し、かつ Titanium を用いたシリサイド技術による 0.10 μm CMOS デバイスの試作結果について議論した。これは 1992 年までに学会等で報告された CMOS 素子で最高速度性能を示した。そのスイッチング特性の評価結果を基にして、従来からの MOSFET の微細化と高性能化の両立に対する問題点を言及した。中でも素子サイズのスケールリングによって低減されにくい部分の寄生効果低減の重要性を実験並びに SPICE によるシミュレーションにより示した。さらには寄生抵抗を除いた部分のデバイス性能向上の重要性も議論した。

第 3 章では「浅いトレンチ素子分離技術(STI)におけるトレンチ側面部の界面準位密度評価方法とその応用」と題して、新規素子分離技術を導入する際に問題となる接合リーク電流増加の原因を解析した。その際に新規のテストストラクチャーによる測定方法の提案を行った。これにより従来技術に比較して STI においてはトレンチ側面部の界面準位密度が増加しており、それが接合リーク電流の増加を引き起こした可能性が示された。さらに界面準位の水素パッシベーションを試みたところ、接合リーク電流の低減と界面準位密度の低減が同時になされた。これらにより STI 技術の実用化に対してトレンチ側面部の界面準位密度制御の重要性と、その後のプロセス最適化の方向を提示した。

第 4 章では「sub-0.25 μm pFET における浅いソース/ドレイン エクステンション領域の寄生抵抗改善」と題して、0.15 μm 世代の pFET への応用を目指した、浅くかつ寄生抵抗の小さいソース/ドレインの不純物拡散層の形成方法を検討した。特に浅い不純物拡散層をイオン注入で形成した後に、ゲート側壁形成工程時の SiN 堆積工程において水素によるボロンのパッシベーションが起きることが FT-IR 測定により示された。また Ge を用いたプリアモルファス化をボロンイオン注入の際に併用すると、p-n 接合の深さを浅く形成できるのみでなく、上記に述べた拡散層抵抗の増大が抑制された。これにより pFET の電流特性が改善され、高性能 0.15 μm CMOS の実現に貢献した。

第 5 章では「ゲート長 35 nm の高性能 CMOS デバイスの試作と評価」と題して、Ni を材料とするシリサイド技術と 1.2 nm 以下の窒化酸化膜を適用したゲート長 35 nm の CMOS デバイスの設計、試作プロセスについて議論した。まずは 35 nm のゲート長を持つ素子において短チャネル効果の抑制と電流特性とのトレードオフを最適化するために予備実験を行い、チャネル領域と halo 領域の最適な不純物プロファイルを見出した。また、窒化酸化膜に関しては 1.0 nm 程度のベース酸化膜に対して NO ガスを用いた窒化を行い、ゲートリーク電流を低減しながらボロン突き抜けによる pFET のしき

い値ばらつきを抑制した。さらに Ni サリサイド工程の導入で付随する後工程のプロセス温度を低減した。これによりソース/ドレイン エクステンション部の浅い接合深さを実現しながら低抵抗化を実現できた。これらのプロセスを総合して 35 nm のゲート長を持つ CMOS を試作し、評価したところ、0.85 V 動作の素子としては試作当時世界最高の電流駆動力性能を示した。

第 6 章では「論理回路のスイッチング高速化に適する Silicon on Depletion Layer MOSFET (SODEL FET) の提案」と題して、バルクシリコン基板上に作られる CMOS デバイスの性能向上を目指した新規 MOSFET 構造を提案し、シミュレーションと実験で検証した結果について議論した。

従来、ソース/ドレイン部の接合容量が小さく、基板バイアス効果が無いという特徴から SOI MOSFET が高性能 LSI に用いられてきた。本章ではそれと同様な効果をバルクシリコン基板上の CMOS デバイスで実現するために、チャネル領域直下に空乏層を形成する構造の Silicon on Depletion Layer FET(SODEL FET)を提案した。そしてプロセス、及びデバイスシミュレーションによって試作条件を最適化し、実際に SODEL CMOS を試作した。これらにより、試作したゲート長 70 nm 程度の CMOS 素子においてソース/ドレイン部の接合容量低減と基板バイアス効果低減を実現した。さらには実際の LSI に用いられる論理回路への応用について提案し、SODEL CMOS が回路動作の高速化に寄与する可能性を示した。

第 7 章では「SODEL CMOS デバイスの論理回路、及び SRAM 回路への応用」と題して、第 6 章で提案された SODEL CMOS デバイスをさらに改良し、論理回路の高速化の実証と SRAM への応用について実験とシミュレーションを通じて議論した。ここで試作した素子はゲート長が 50 nm 程度にまでさらに微細化した。リングオシレーターによるゲート遅延時間の実測値とそれに基づいた回路シミュレーションにより、このデバイスは従来型の CMOS デバイスよりも 15%程度スイッチングが高速で power-delay 積も 30%程度小さいと見積もられた。また 1M bit の SRAM cell array に SODEL CMOS を応用した試作では殆ど fail-bit が無いチップが得られた。この素子構造によりビット線容量の低減が可能であり、高速動作がシミュレーション上で示された。さらに α 線照射によるラッチアップ特性に関してシミュレーションを行い、十分なラッチアップ耐性が示された。これらを通じて SODEL CMOS の LSI 応用への適合性が確認できた。

以上、本論文では微細化に向けた単なる MOSFET 素子構造や特性の最適化だけではなく、それに付随するデバイス物理の解明や導入した材料の物性まで含めて実験やコンピューターシミュレーションによって考慮することで、よりサイエンスに近い観点から MOSFET 微細化のエンジニアリング手法に関して論じてきた。このようなアプローチの方法はユニークであって、より一層困難になっている MOSFET 微細化に対して解を得るために今後ますます重要になってくると考えられる。

以下では将来 CMOS デバイスのスケーリングを進めるに当たっての課題を述べ、本論文を締めくくりたい。

最近の IEDM、Symp. on VLSI Technology など Si デバイスの主要学会において報告された微細 MOSFET のゲート長と ITRS(International Technology Roadmap for Semiconductor) 2003 年度版における LSI 生産開始年との関係を調べた。結果を図 8.1 に示す。

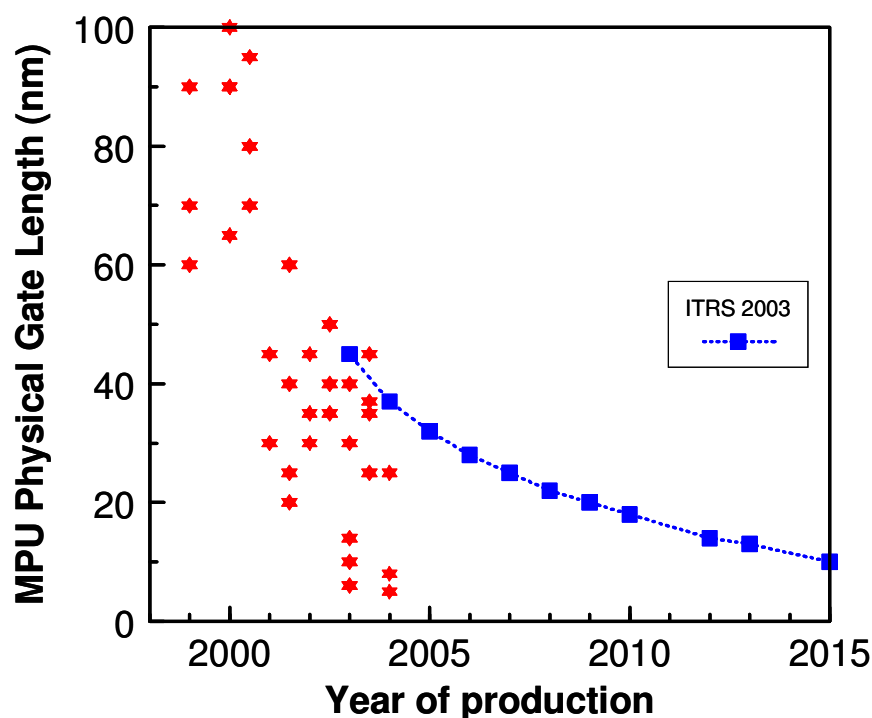


図 8.1 : IEDM、Symp. on VLSI Tech.における高性能 MOSFET のゲート長 (星印) と ITRS2003 年版における LSI 生産開始年予測 (■印)

LSI 生産開始時期と研究開発段階の素子の完成時期との時間差は従来においては 2,3 年程度あったが、昨今は LSI の世代交代までの開発に長い時間を必要とする。つまりゲート長の微細化だけは 2004 年まで既に 5 nm レベルにまで達したが、実際の ULSI として世の中に出てくるまでには時間が必要である。また ITRS の予測するようなデバイス性能と現在のデバイスの性能とは乖離が大きい。

図 8.2 では各 MOSFET で駆動電流を電源電圧で規格化し、各デバイスのゲート長に対してプロットした。ここではゲート長が $L_g = 40$ nm 程度までは比較的単調に MOSFET の抵抗は減少し、デバイスのスケーリングメリットが見られる。しかしながらゲート長の微細化が進むとそれに伴う性能改善がみられていない。現時点で一番性能が良いのはやはり既に生産段階になった 90 nm node から 65 nm node に相当する世代のデバイスである。

性能が上がらない理由の一つは本論文を通じて議論してきたように素子内外の寄生効果が無視できなくなってきていてスケーリング則が破綻しているためである。

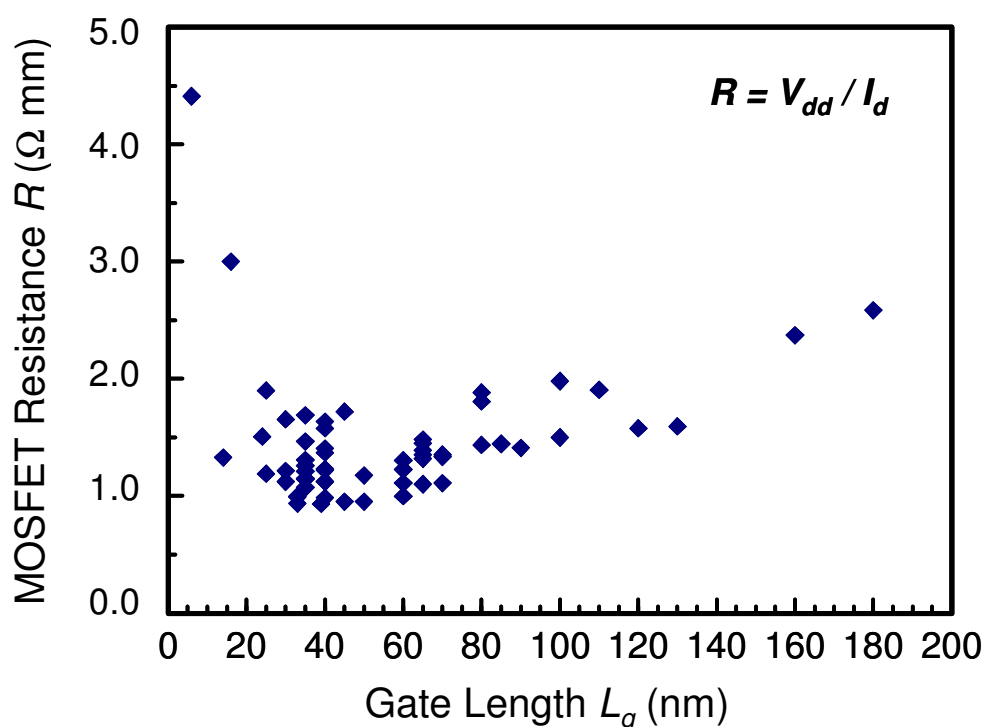


図 8.2 : IEDM、Symp. on VLSI Tech.で発表された
高性能 CMOS デバイスの抵抗値 R とゲート長の関係

このような状態を打破するために寄生効果を抑制すると共に何らかの方法で駆動電流を増大させて性能を高めようという研究が特にこの数年間で進歩した。

例えば一つの方法としてはチャネル領域のシリコンに対して歪みを印加し、伝導体のバンド構造の変調による電子移動度改善の試みがなされた[8.1]。歪みの印加方法としては最近では S/D 領域にシリコンと格子定数の異なる材料をエピ成長させてそれによってチャネル領域に引っ張り応力、もしくは圧縮応力を加える方法[8.2]や、引っ張り応力（もしくは圧縮応力）をもつ絶縁膜を MOSFET 上部に堆積して、その応力でチャネルに印加される応力を変調するもの[8.3]などが用いられるようになってきた。

また駆動電流を改善する別の方法としては通常用いられる(100)面よりも移動度が高い基板面方位やチャネル方位のシリコン、もしくは SiGe などの異種材料をチャネル領域に用いて移動度を改善を目指す研究も報告された[8.4-8.6]。さらにゲート絶縁膜の薄膜化に伴い、反転層容量の影響と高電界によるゲート電極自体の空乏化の影響が無視できなくなるので[8.7]、電気的な絶縁膜厚の薄膜化（高誘電体膜（high-k gate dielectrics）の使用を含む）と空乏化しない金属ゲート電極の応用などの研究開発が既に開始された[8.8]。bulk 基板上に形成される MOSFET の金属ゲート電極に関してはしきい値電圧のコントロールのために、Si のバンド端に近い適正な仕事関数 ϕ_m を持つ材料の選択を急がなくてはならない。これは nFET と pFET とで異なる材料でゲート電極を構成することになるので、製造工程が複雑化するのが欠点となる。S/D シリサイドについても障壁高さを適正化することでコンタクト抵抗の低減を図る必要があり、nFET と pFET で別々の材料を用いる必要が出てきている。

以上述べてきた bulk 基板上の planar 型 MOSFET の今後の形態については図 8.3 にまとめて示した。

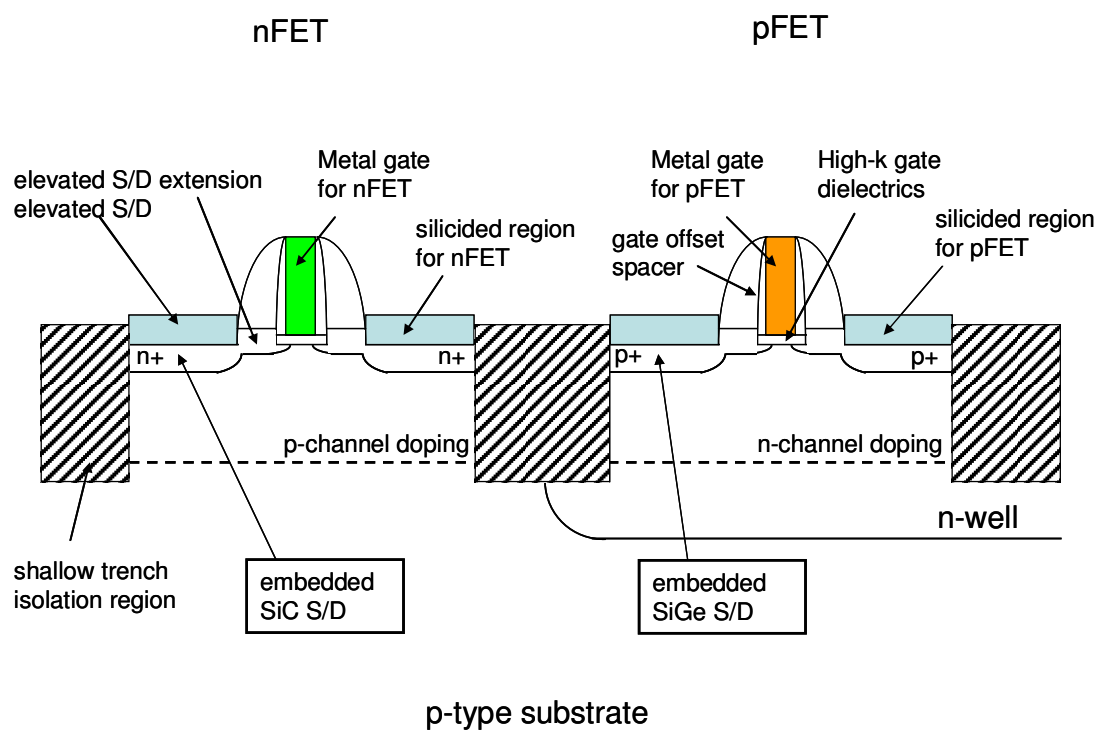


図 8.4: 想定される CMOS デバイスの将来像 (bulk MOSFET with single gate)

ゲート電極材料、ゲート絶縁膜材料、S/D シリサイド材料、Si エピタキシャル成長による elevated S/D 構造、また S/D 部への異種材料のエピタキシャル成長による歪みシリコンチャネル構造などが盛り込まれる。

また、本論文では議論は行わなかったが、MOSFET の微細化に起因する電気特性のゆらぎ（典型的にはしきい値電圧 V_t のゆらぎ）の問題が現実的になり、それらを考慮した素子・回路設計が必要になってきた [8.9]。これは MOSFET の製造技術上の加工精度問題や、“イオン注入による不純物プロファイルで V_t 等の電気的特性を制御する”というバルク MOSFET の原理的な問題から引き起こされる。すなわち不純物イオンの数、または空乏層内における配置が各 MOSFET で異なるため、これによるしきい値のばらつきが無視できなくなる。MOSFET 特性が揺らぐとそれを補償するべく LSI 内部での回路動作マージン確保が必要だが、世代が進むにつれてそれが困難になっており最悪の場合は回路が動作しない。したがって我々は微細化と同時に、これらの CMOS デバイスの特性ばらつき抑制に関しても十分な注意を払わなければならない。不純物起因の電気特性に関しては空乏層中の不純物イオンの数をある程度減らしていくことで抑制することが可能だが、空乏層の伸びを制御しづらくなるので短チャネル効果抑制が困難になる。低い不純物濃度をもつチャネル構造の空乏層の伸びを制御するには FD-SOI[8.10]や FinFET に代表されるダブルゲート MOSFET[8.11-8.13]などが提案されている。

(図 8.4)

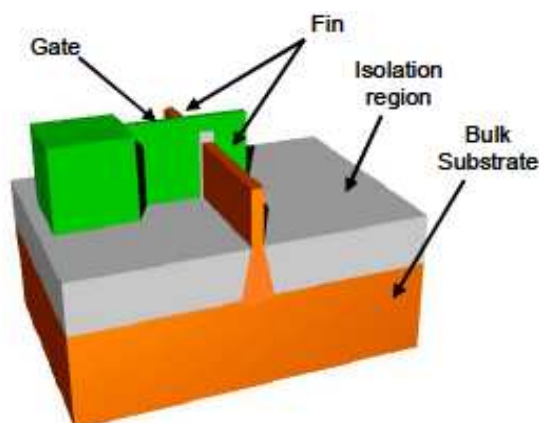


図 8.4：ダブルゲート MOSFET の例（bulk-FinFET）[8.12]

チャネル領域は垂直に切り出されたシリコン領域の側面に形成され、低不純物濃度でありながら、短チャネル効果を抑制することができる

以上述べてきたように CMOS デバイスの微細化にはこれらの新しい動きをキャッチアップしながら素子性能を向上させなければならない。本論文で議論した内容も含めて、非常に困難ではあるが今後も根本的な物理に立ち返りながら継続的な検討が必要である。

またこれらのデバイス構造や新材料の導入による工夫のみでは LSI の微細化に対して解決できない課題も山積している。たとえば MOSFET の素子特性のゆらぎに関しては、特に不純物分布のゆらぎに起因するものに関しては物理的に不可避の課題であり、これらを許容する尤度を持った回路設計技術の導入が必須となってきている。したがって、デバイス構造を決める我々の立場からは新規材料をあつかう材料屋や回路設計を担当する回路屋と従来以上に相互協力して今後の LSI の微細化に対する努力を継続する必要がある。

第 8 章の参考文献

- [8.1] S. Takagi, T. Mizuno, T. Tezuka, N. Sugiyama, T. Numarta, K. Usuda, Y. Moriyama, S. Nakaharai, J. Koga, A. Tanabe, N. Hirashita and T. Maeda, "Channel structure design, fabrication and carrier transport properties of strained-Si/SiGe-on-insulator (strained-SOI) MOSFETs," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 57-60, (2003).
- [8.2] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, and M. Bohr, "A 90nm High Volume Manufacturing Login Techonology Featuring Novel 45nm Gate Length Strained Silicon CMOS Transistors," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 978-980, (2003).
- [8.3] A. Shimizu, K. Hachimine, N. Ohki, H. Ohta, M. Koguchi, Y. Nonaka, H. Sato, and F. Ootsuka, "Local Mechanical-Stress Control(LMC): A New Technique for CMOS-Performance Enhancement," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 433-436, (2001).
- [8.4] M. Yang, M. Jeong, L. Shi, K. Chan, V. Chan, A. Chou, E. Gusev, K. Jenkins, D. Boyd, Y. Ninomiya, D. Pendleton, Y. Surpris, D. Heenan, J. Ott, K. Guarini, C.D'Emic, M. Cobb, P. Mooney, B. To, N. Rovedo, J. Benedict, R. Mo and H. Ng, "High Performance CMOS Fabricated on Hybrid Substrate With Different Crystal Orientations," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 453-456, (2003).
- [8.5] B. Doris, Y. Zhang, D. Fried, J. Beintner, O. Dokumaci, W. Natzle, H. Zhu, D. Boyd, J. Holt, J. Petrus, J. T. Yates, T. Dyer, P. Saunders, M. Steen, E. Nowak and M. Jeong, "A Simplified Hybrid Orientation Technology (SHOT) for High Performance CMOS," *2004 Symposium on VLSI Technology*, pp.86-87, (2004).
- [8.6] S. Takagi, "Re-examination of Subband Structure Engineering in Ultra-Short Channel MOSFETs under Ballistic Carrier Transport," *2003 Symposium on VLSI Technology*, pp. 115-116, (2003)
- [8.7] S. Takagi, M. T. Takagi and A. Toriumi "Accurate Characterization of Electron and Hole Inversion-Layer Capacitance and Its Impact on Low Voltage Operation of Scaled MOSFETs," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 619-622, (1998).
- [8.8] J. Kedzierski, E. Nowak, T. Kanarsky, Y. Zhang, D. Boyd, R. Carruthers, Cyril Cabral, R. Amos, C. Lavoie, R. Roy, J. Newbury, E. Sullivan, J. Benedict, P. Saunders, K. Wong, D. Canaperi, M. Krishnan, K.-L. Lee, B. A. Rainey, D. Fried, P. Cottrell, H.-S. P. Wong, M. Jeong, W. Haensch, "Metal-gate FinFET and fully-depleted SOI devices using total gate silicidation," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 247-250, (2002).
- [8.9] A. Asenov, S. Kaya and A. R. Brown, "Intrinsic Parameter Fluctuations in Decananometer MOSFETs

Introduced by Gate Line Edge Roughness," *IEEE Trans. Electron Devices*, ED-50, pp. 1254-1260, (2003).

[8.10] 例えば M. Fujiwara, T. Morooka, N. Yasutake, K. Ohuchi, N. Aoki, H. Tanimoto, M. Kondo, K. Miyano, S. Inaba, K. Ishimaru, and H. Ishiuchi, "Impact of BOX scaling on 30 nm gate length FD SOI MOSFET," *2005 International SOI Conference*, pp. 180-182, Honolulu, HI, (2005)

およびこの中の参考文献参照。

[8.11] D. Hisamoto, W-C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T-J. King, J. Bokor and C. Hu, "A Folded-channel MOSFET for Deep-sub-tenth Micron Era," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 1032-1034, (1998).

[8.12] K. Okano, T. Izumida, H. Kawasaki, A. Kaneko, A. Yagishita, T. Kanemura, M. Kondo, S. Ito, N. Aoki, K. Miyano, T. Ono, K. Yahashi, K. Iwade, T. Kubota, T. Matsuhita, I. Mizushima, S. Inaba, K. Ishimaru, K. Suguro, K. Eguchi, Y. Tsunashima and H. Ishiuchi, "Process Integration Technology and Device Characteristics of CMOS FinFET on Bulk Silicon Substrate with sub-10 nm Fin Width and 20 nm Gate Length," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 739-742, (2005).

[8.13] A. Kaneko, A. Yagishita, K. Yahashi, T. Kubota, M. Omura, K. Matsuo, I. Mizushima, K. Okano, H. Kawasaki, S. Inaba, T. Izumida, T. Kanemura, N. Aoki, K. Ishimaru, H. Ishiuchi, K. Suguro, K. Eguchi, and Y. Tsunashima, "Sidewall Transfer Process and Selective Gate Sidewall Spacer Formation Technology for Sub-15 nm FinFET with Elevated Source /Drain Extension," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 863 - 866, (2005).

謝 辞

本博士論文をまとめるにあたり、終始懇切なるご指導とご助言を賜ると同時に本論文審査において主査の労を取っていただいた早稲田大学大学院理工学研究科物理学及応用物理学専攻の竹内淳教授に心より深く感謝致します。また、副査の労を賜った早稲田大学大学院理工学研究科物理学及応用物理学専攻の中島啓幾教授と早稲田大学大学院理工学研究科ナノ理工学専攻の和田恭雄教授に深く感謝致します。そして著者の学部・修士課程在籍時の指導教員であり、今回の博士論文に関しても副査の労を賜った早稲田大学理工学部応用物理学科名誉教授の加藤鞆一先生に心より深く感謝致します。

さらに(株)東芝 セミコンダクター社半導体技術研究開発センターの古山透センター長、石内秀美副センター長、豊島義明高性能CMOSデバイス技術開発部長、石丸一成開発主査、および早稲田大学理工学部の松永康客員助教授には本論文の提出にあたりご指導とご配慮いただいたことを深く感謝致します。

本論文の研究は著者が(株)東芝に入社以来、いろいろな方々に支えられ、議論していただいた結果をまとめたものであります。特に第2章の議論においては現神奈川大学理学部の水野智久教授、現SOITEC ASIAの吉見信博士、(株)東芝 研究開発センターの佐竹秀喜氏、古賀淳二氏、日暮等博士、(株)東芝 セミコンダクター社の岩瀬政雄氏、高橋稔氏、新山広美氏、福元正人氏、間博顕氏、現筑波大学物理工学系の名取研二教授、同筑波大学物理工学系の山部紀久夫教授、現奈良女子大学理学部の岩淵修一教授、元(株)東芝 研究開発センターの大畠昭子博士、和田哲典氏、天川隆博士、柏木正弘氏、岡野晴雄博士、松永準一氏、馬場敬氏にご指導、ご協力を頂きましたことに感謝致します。

第3章、第4章の議論においては現半導体産業研究所(SIRIJ)の前口賢二所長、(株)東芝 セミコンダクター社の各務正一博士、松岡史倫博士、衣川正明氏、小池英敏博士、吉村尚郎博士、上條浩幸氏、中山武雄氏、牛久幸広氏、八木下淳史博士、岡山康則氏、蜂谷貴世氏、大塚久美氏、三田淳夫氏、野口可奈子氏、矢吹宗氏、須黒恭一博士、村越篤氏、高柳万里子氏、東篤志氏、小山治彦氏、現東京エレクトロン(株)有門経敏博士、元(株)東芝 半導体事業本部の田中みわ氏に感謝致します。

第5章から第7章の議論においては(株)東芝 セミコンダクター社の親松尚人氏、岡野王俊氏、松田聡氏、藤原実氏、大内和也氏、外園明氏、安達甘奈氏、安武信昭氏、福井大伸博士、大黒達也氏、小島健嗣氏、百瀬寿代博士、清水敬氏、森信二氏、小熊秀樹氏、井谷孝治氏、谷口修一氏、工藤知靖氏、柴田英紀氏、馬越俊幸氏、渡辺由美氏、飯沼俊彦氏、勝又康弘氏、青木伸俊博士、遠田利之氏、谷本弘吉氏、水島一郎博士、佐喜和朗博士、宮野良孝氏、永野元氏、中内孝浩氏、綱島祥隆氏、山田誠司氏、および現ソニー(株)半導体事業グループの須藤裕之博士に感謝致します。

その他の議論に関して、(株)東芝 セミコンダクター社の須之内一正氏、岸宏一氏、勝又竜太博士、竹川陽一氏、松原義徳氏、市毛正之氏、松永健氏、川崎博久氏、石田達也氏、金村貴永氏、泉田貴士氏、伊藤早苗氏、近藤正樹博士、中村光利氏、川中繁氏、江口和弘博士、金子明生氏、宮下桂氏、蓮見良治氏、森藤英治氏、元(株)東芝 セミコンダクター社の須藤章氏、青木正身氏、現東洋大学工学部の堀口文男教授、IBM の赤津浩之博士、Dr. Thomas Hughes, Dr. Cheruvu S. Murthy, Dr. Paul Ronsheim, Dr. Yujun Li, Dr. Mary Weybright, Dr. Radhika Srinivasan, Dr. Gary Bronner, Dr. Quiyi Ye, Dr. Rajesh Rengarajan 及び Infineon Technologies, Inc. の Dr. Hans-Oliver Joachim に感謝致します。

また現東京大学大学院工学系研究科島海明教授と現東京大学大学院新領域創成科学研究科高木信一教授には著者の(株)東芝入社時より終始懇切丁寧なご指導、ご鞭撻をいただいたことに本当に深く感謝致します。

さらに東北大学大学院工学研究科の小柳光正教授、東京大学生産技術研究所の平本俊郎教授、広島大学ナノデバイス・システム研究センターの芝原健太郎助教授、慶應義塾大学理工学部の黒田忠広教授、Univ. of Glasgow の Prof. Asen Asenov、Univ. of California Berkeley の Prof. Tsu-Jae King、ソニー(株)半導体事業グループの清田幸弘博士、若林整博士、Samsung Electronics の吉田誠博士には日頃から学会等を通じて有益な議論をしていただいたことに感謝致します。

最後に、日頃から黙って見守ってくれていた両親と妹に感謝したいと思います。

2006年10月

稲葉 聡

研 究 業 績

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
(1)原著論文 ○	Low-Power logic circuit and SRAM cell applications with Silicon on Depletion Layer CMOS (SODEL CMOS) Technology	IEEE Journal of Solid-State Circuits , Vol. 41, No.6, pp. 1455-1462	2006/06 S. Inaba H. Nagano K. Miyano I. Mizushima Y. Okayama T. Nakauchi K. Ishimaru H. Ishiuchi
○	SODEL FET: Novel channel and S/D profile engineering schemes by selective Si epitaxial growth technology	IEEE Transactions on Electron Devices , ED-51, No. 9, pp.1401-1408	2004/09 S. Inaba K. Miyano H. Nagano A. Hokazono K. Ohuchi I. Mizushima H. Oyamatsu Y. Tsunashima K. Ishimaru Y. Toyoshima H. Ishiuchi
○	High Performance 35 nm Gate Length CMOS with NO oxynitride Gate Dielectric and Ni Salicide	IEEE Transactions on Electron Devices , ED-49, No. 12, pp.2263-2270	2002/12 S. Inaba K. Okano S. Matsuda M. Fujiwara A. Hokazono K. Adachi K. Ohuchi H. Suto H. Fukui T. Shimizu S. Mori H. Oguma A. Murakoshi T. Itani T. Iinuma T. Kudo H. Shibata S. Taniguchi M. Takayanagi A. Azuma H. Oyamatsu K. Suguro Y. Katsumata Y. Toyoshima H. Ishiuchi

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
○	Threshold Voltage Roll-Up / Roll-Off Characteristic Control in Sub-0.2 μm Single Work-function Gate CMOS for High Performance DRAM Applications	IEEE Transactions on Electron Devices, ED-49, No.2, pp. 308-313	2002/02 S. Inaba R. Katsumata H. Akatsu R. Rengarajan P. Ronsheim C. S. Murthy K. Sunouchi G. B. Bronner
○	Increase of Parasitic Resistance in Shallow p+ Extension by SiN Sidewall Process and its improvement with Ge preamorphization for sub-0.25 μm pMOSFETs	IEEE Transactions on Electron Devices, ED-46, No.6, pp. 1218-1223	1999/06 S. Inaba A. Murakoshi M. Tanaka H. Yoshimura F. Matsuoka Y. Toyoshima
○	Inverter performace of 0.1 μm CMOS operating at room temperature	IEEE Transactions on Electron Devices, ED-41, No.12, pp. 2399-2404	1994/12 S. Inaba T. Mizuno M. Iwase M. Takahashi H. Niiyama H. Hazama M. Yoshimi A. Toriumi
	High-performance 0.10- μm CMOS devices operating at room temperature	IEEE Electron Device Letters, EDL-14, No.2, pp. 51-53	1993/02 M. Iwase T. Mizuno M. Takahashi H. Niiyama M. Fukumoto K. Ishida S. Inaba Y. Takigami A. Sanda A. Toriumi M. Yoshimi

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
(2) 国際学会（査読付）	Embedded Bulk FinFET SRAM Cell Technology with Planar FET Peripheral Circuit for hp32 nm node and beyond	2006 Symp. on VLSI Technology, 9-2, pp. 86-87, Honolulu, HI	2006/06 H. Kawasaki K. Okano A. Kaneko A. Yagishita T. Izumida T. Kanemura K. Kasai T. Ishida T. Sasaki Y. Takeyama N. Aoki N. Ohtsuka K. Suguro K. Eguchi Y. Tsunashima <u>S. Inaba</u> K. Ishimaru H. Ishiuchi
	Process Integration Technology and Device Characteristics of CMOS FinFET on Bulk Silicon Substrate with sub-10 nm FinWidth and 20 nm Gate Length	IEEE International Electron Devices Meeting (IEDM), 30-4, pp.739-742, Washington DC	2005/12 K. Okano T. Izumida H. Kawasaki A. Kaneko A. Yagishita T. Kanemura M. Kondo S. Ito N. Aoki K. Miyano T. Ono K. Yahashi K. Iwade T. Kubota T. Matsushita I. Mizushima <u>S. Inaba</u> K. Ishimaru K. Suguro K. Eguchi Y. Tsunashima H. Ishiuchi
	Sidewall Transfer Process and Selective Gate Sidewall Spacer Formation Technology for Sub-15 nm FinFET with Elevated Source/Drain Extension	IEEE International Electron Devices Meeting (IEDM), 34-6, pp.863-866, Washington DC	2005/12 A. Kaneko A. Yagishita K. Yahashi T. Kubota M. Omura K. Matsuo I. Mizushima

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
国際学会 (査読付)			K. Okano H. Kawasaki <u>S. Inaba</u> T. Izumida T. Kanemura N. Aoki K. Ishimaru H. Ishiuchi K. Suguro K. Eguchi,
	Robust Device Design in FinFET SRAM for hp22nm Technology Node	2005 Silicon Nano Electronics Workshop (SNW 2005), pp.14-15, Kyoto, Japan	2005/06 K. Okano T. Ishida T. Sasaki T. Izumida M. Kondo M. Fujiwara N. Aoki <u>S. Inaba</u> N. Ohtsuka K. Ishimaru H. Ishiuchi
	Impact of parasitic resistance and silicon layer thickness scaling for strained-silicon MOSFETs on relaxed Si _{1-x} Ge _x virtual substrate	IEEE International Electron Devices Meeting (IEDM), 7-4, pp.169-172 San Francisco, CA	2004/12 H. Kawasaki K. Ohuchi A. Oishi O. Fujii H. Tsujii T. Ishida K. Kasai Y. Okayama K. Kojima K. Adachi N. Aoki T. Kanemura D. Hagishima M. Fujiwara <u>S. Inaba</u> K. Ishimaru H. Ishiuchi
○	Low power logic circuit and SRAM cell applications with Silicon on Depletion Layer CMOS (SODEL CMOS) technology	IEEE Custom Integrated Circuits Conference (CICC), 11-2, pp.225-228 Orlando, FL	2004/10 <u>S. Inaba</u> K. Miyano H. Nagano I. Mizushima K. Ishimaru H. Ishiuchi

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
国際学会 (査読付)	A hp22 nm Node Low Operating Power (LOP) Technology with Sub-10 nm Gate Length Planar Bulk CMOS Devices	2004 Symposium on VLSI Technology, 9.1, pp. 84-85 Honolulu, HI	2004/07 N. Yasutake K. Ohuchi M. Fujiwara K. Adachi A. Hokazono K. Kojima N. Aoki H. Suto T. Watanabe T. Morooka H. Mizuno S. Magoshi T. Shimizu S. Mori H. Oguma T. Sasaki M. Ohmura K. Miyano H. Yamada H. Tomita D. Matsushita K. Muraoka <u>S. Inaba</u> M. Takayanagi K. Ishimaru H. Ishiuchi
	Error Evaluation of C-V Characteristic Measurements in Ultra Thin Gate Films	IEEE International Conference on Micro Test Structures (ICMTS 2004), pp. 221-226 Awaji, Japan	2004/03 H. Suto <u>S. Inaba</u> K. Ishimaru
	○ Silicon on Depletion Layer FET (SODEL FET) for sub-50 nm high performance CMOS applications: Novel channel and S/D profile engineering schemes by selective Si epitaxial growth technology	IEEE International Electron Devices Meeting (IEDM), 27-6, pp. 659-662 San Francisco, CA	2002/12 <u>S. Inaba</u> K. Miyano A. Hokazono K. Ohuchi I. Mizushima H. Oyamatsu Y. Tsunashima Y. Toyoshima H. Ishiuchi

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
国際学会 (査読付)	High Performance 30nm Bulk CMOS for 65nm Technology Node (CMOS5)	IEEE International Electron Devices Meeting (IEDM), 27-5, pp. 655-658 San Francisco, CA	2002/12 E. Morifuji M. Kanda N. Yanagiya S. Matsuda <u>S. Inaba</u> K. Okano K. Takahashi M. Nishigori H. Tsuno T. Yamamoto K. Hiyama M. Takayanagi H. Oyamatsu S. Yamada T. Noguchi M. Kakumu
	○ Device Performance of Sub-50 nm CMOS with Ultra-Thin Plasma Nitrided Gate Dielectrics	IEEE International Electron Devices Meeting (IEDM), 27-4, pp. 651-654 San Francisco, CA	2002/12 <u>S. Inaba</u> T. Shimizu S. Mori K. Sekine K. Saki H. Suto H. Fukui M. Nagamine M. Fujiwara T. Yamamoto M. Takayanagi I. Mizushima K. Okano S. Matsuda H. Oyamatsu Y. Tsunashima S. Yamada Y. Toyoshima H. Ishiuchi
	65nm CMOS Technology (CMOS5) with High Density Embedded Memories for Broadband Micro-processor Applications	IEEE International Electron Devices Meeting (IEDM), 3-1, pp. 57-60 San Francisco, CA	2002/12 N. Yanagiya S. Matsuda <u>S. Inaba</u> M. Takayanagi I. Mizushima K. Ohuchi K. Okano K. Takahashi E. Morifuji M. Kanda Y. Matsubara

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
国際学会 (査読付)			M. Habu M. Nishigori K. Honda H. Tsuno K. Yasumoto T. Yamamoto K. Hiyama K. Kokubun T. Suzuki J. Yoshikawa T. Sakurai T. Ishizuka Y. Shoda M. Moriuchi S. Kishida H. Harakawa H. Oyamatsu N. Nagashima S. Yamada T. Noguchi Y. Okamoto M. Kakumu
○	High performance 35 nm gate length CMOS with NO oxynitride gate dielectric and Ni SALICIDE	IEEE International Electron Devices Meeting (IEDM), 29-6, pp. 641-644 Washington DC	2001/12 <u>S. Inaba</u> K. Okano S. Matsuda M. Fujiwara A. Hokazono K. Adachi K. Ohuchi H. Suto H. Fukui T. Shimizu S. Mori H. Oguma A. Murakoshi T. Itani T. Iinuma T. Kudo H. Shibata S. Taniguchi S. Magoshi Y. Watanabe M. Takayanagi A. Azuma H. Oyamatsu K. Suguro Y. Katsumata Y. Toyoshima H. Ishiuchi

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
	Threshold-voltage anomaly in sub-0.2 μm DRAM buried-channel pFET devices	2001 International Symposium on VLSI Technology, Systems and Applications pp. 19-20 Shintsu, Taiwan	2001/10 C. S. Murthy R. Katsumata <u>S. Inaba</u> R. Rengarajan P. Oldiges P. Ronsheim
○	Impact of trench sidewall interface traps in shallow trench isolation on junction leakage current characteristics for sub-0.25 μm CMOS devices	1997 Symposium on VLSI Technology 9B-1, pp.119-120 Kyoto, Japan	1997/06 <u>S. Inaba</u> , M. Takahashi Y. Okayama A. Yagishita F. Matsuoka H. Ishiuchi
	A novel 0.15 μm CMOS technology using W / WNx / polysilicon gate electrode and Ti silicided source/drain diffusions	IEEE International Electron Devices Meeting (IEDM), pp.455-458 San Francisco, CA	1996/12 M. T. Takagi K. Miyashita H. Koyama K. Nakajima K. Miyano Y. Akasaka Y. Hiura <u>S. Inaba</u> A. Azuma H. Koike H. Yoshimura K. Suguro H. Ishiuchi
○	Increase of parasitic resistance in shallow p+ extension by SiN gate sidewall process and its improvement by Ge preamorphization for sub-0.25 μm CMOS devices	1996 Symposium on VLSI Technology 17-4, pp.168-169 Honolulu, HI	1996/06 <u>S. Inaba</u> A. Murakoshi M. Tanaka M. T. Takagi H. Koyama H. Koike H. Yoshimura F. Matsuoka
○	Impact of contact resistance and junction capacitance on the switching performance in scaled 0.1 μm CMOS devices	1993 International Conference on Solid State Device and Materials (SSDM), A-2-5, pp.32-34 Makuhari, Japan	1993/09 <u>S. Inaba</u> T. Mizuno M. Iwase M. Takahashi H. Niiyama H. Hazama M. Yoshimi A. Toriumi

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
	High speed 0.1 μm CMOS devices operating at room temperature	1992 International Conference on Solid State Device and Materials (SSDM), pp. 487-489 Tokyo, Japan	1992/09 A. Toriumi T. Mizuno M. Iwase M. Takahashi H. Niiyama M. Fukumoto <u>S. Inaba</u> I. Mori M. Yoshimi

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
(3) 国内学会・研究会	Fin 型 Si 領域の不純物分布の測定およびシミュレーション	第 52 回応用物理学関係連合講演会 (埼玉大学、さいたま)	2004/03 泉田 貴士 金村 貴永 近藤 正樹 伊藤 早苗 岡野 王俊 <u>稲葉 聡</u> 青木 伸俊
○	極薄膜 NO Oxynitride ゲート絶縁膜と Ni サリサイドプロセスを用いた高性能 35 nm ゲート長 CMOS	応用物理学会 シリコンテクノロジー分科会 ULSI デバイス研究会 No.35 pp.2-7 及び 電子情報通信学会 シリコン材料・デバイス研究会 SDM2001-213 (合同研究会) (東洋大学、東京)	2002/01 <u>稲葉 聡</u> 岡野 王俊 松田 聡 藤原 実 外園 明 安達 甘奈 大内 和也 須藤 裕之 福井 大伸 清水 敬 森 伸二 小熊 秀樹 村越 篤 井谷 孝治 飯沼 俊彦 工藤 知靖 柴田 英紀 谷口 修一 馬越 俊幸 渡辺 由美 高柳 万里子 東 篤志 親松 尚人 須黒 恭一 勝又 康弘 豊島 義明 石内 秀美
○	SiN ゲート側壁形成プロセスによる sub-0.25 μm pMOSFET の寄生抵抗増大 (2 : extension 領域抵抗の改善)	第 44 回応用物理学関係連合講演会 29a-H-4 (日本大学理工学部、船橋)	1997/03 <u>稲葉 聡</u> 村越 篤 田中 みわ 吉村 尚郎 東 篤志 松岡 史倫 石内 秀美

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
○	SiN ゲート側壁形成プロセスによる sub-0.25 μm pMOS-FET の寄生抵抗増大 (1 : SiN CVD による B の不活性化)	第 44 回応用物理学関係連合講演会 29a-H-3 (日本大学理工学部、船橋)	1997/03 稲葉 聡 村越 篤 田中 みわ 吉村 尚郎 東 篤志 松岡 史倫 石内 秀美
○	埋め込み素子分離(STI)におけるトレンチ側面部の界面準位密度と接合リーク電流	第 42 回応用物理学関係連合講演会 28p-C-10 (東海大学工学部、平塚)	1995/03 稲葉 聡 高橋 稔 八木下 淳史 岡山 康則 松岡 史倫
○	高性能 0.1 μm CMOS の室温動作特性(3)	第 40 回応用物理学関係連合講演会 30a-ZT- 9 (青山学院大学、東京)	1993/03 稲葉 聡 水野 智久 岩瀬 政雄 高橋 稔 新山 広美 吉見 信 鳥海 明
○	0.1 μm CMOS デバイスの室温動作実証と性能解析	電気学会 電子デバイス研究会 EDD-93-14 (東京)	1993/02 稲葉 聡 水野 智久 岩瀬 政雄 高橋 稔 新山 広美 間 博頭 吉見 信 鳥海 明
○	高性能 0.1 μm CMOS の室温動作特性(2)	第 53 回応用物理学学術講演会 16p-ZS- 5 (関西大学、大阪)	1992/09 稲葉 聡 間 博頭 水野 智久 岩瀬 政雄 高橋 稔 新山 広美 福元 正人 石田 勝広 滝上 裕二 三田 敦夫 吉見 信 鳥海 明

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
	高性能 0.1 μm CMOS の室温動作特性(1)	第 53 回応用物理学学術講演会 16p-ZS- 4 (関西大学、大阪)	1992/09 岩瀬 政雄 水野 智久 高橋 稔 新山 広美 福元 正人 石田 勝広 <u>稲葉 聡</u> 滝上 裕二 三田 敦夫 吉見 信 鳥海 明
○	Si MOS 蓄積層における電子移動度	第 39 回応用物理学関係連合講演会 31a-ZM- 7 (日本大学理工学部、船橋)	1992/03 <u>稲葉 聡</u> 高木 信一 谷本 弘吉 鳥海 明

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
(4) その他 講演 ○	FinFET の LSI への応用と将来展望 (Invited)	第 14 回低消費電力・高速 LSI 技術懇談会 (東京大学生産技術研究所、東京)	2006/03
			<u>稲葉 聡</u> 岡野 王俊 金子 明生 川崎 博久 泉田 貴士 八木下 淳史 金村 貴永 青木 伸俊 須黒 恭一 江口 和弘 石丸 一成 綱島 祥隆 石内 秀美
○	最近の CMOS デバイス技術傾向と展望 (Invited)	慶應義塾大学 大学院 COE 教育プログラム (日吉、横浜)	2005/05
			<u>稲葉 聡</u>
○	IEDM 2004 を振り返って	応用物理学会 シリコンテクノロジー分科会 ULSI デバイス研究会 (日本大学理工学部、船橋)	2005/01
			<u>稲葉 聡</u>
○	Key Technologies for Advanced CMOS Devices Beyond 65 nm Node Generation (Invited)	Carnegie Mellon Univ. Seminar at Center for Silicon System Implementation (Pittsburgh, PA)	2004/10
			<u>Satoshi Inaba</u>
○	最近の CMOS デバイス技術傾向と展望 (Invited)	電気学会 電子・情報システム部門大会 TC 10-4 (宇都宮大、宇都宮)	2004/09
			<u>稲葉 聡</u>

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
○	Silicon on Depletion Layer FET (SODEL FET) for high performance and low power CMOS applications (Invited)	International Symposium on Advanced Devices and Procss (Tokyo)	2003/11 S. Inaba K. Miyano H. Nagano I. Mizushima K. Ishimaru H. Ishiuchi
○	35 nm gate length CMOS Technology with very thin gate dielectrics and Ni SALICIDE (Invited)	ECS 2nd International Semiconductor Technology Conference (Tokyo)	2002/09 S. Inaba K. Okano S. Matsuda M. Fujiwara A. Hokazono K. Adachi K. Ohuchi H. Suto H. Fukui T. Shimizu S. Mori H. Oguma A. Murakoshi T. Itani T. Iinuma T. Kudo H. Shibata S. Taniguchi M. Takayanagi A. Azuma H. Oyamatsu K. Suguro Y. Katsumata Y. Toyoshima H. Ishiuchi
○	極薄膜酸化窒化ゲート絶縁膜と Ni サリサイドを適用した高性能 35nm CMOS デバイス (Invited)	日本学術振興会 シリコン超集積化システム第 165 委員会 (四谷、東京)	2002/02 稲葉 聡 岡野 王俊 松田 聡 藤原 実 外園 明 安達 甘奈 大内 和也 須藤 裕之 福井 大伸 清水 敬 森 伸二 小熊 秀樹

種 類 別	題名、 発表・発行掲載誌名、発表・発行年月、 連名者
	<div> <div>村越 篤</div> <div>井谷 孝治</div> <div>飯沼 俊彦</div> <div>工藤 知靖</div> <div>柴田 英紀</div> <div>谷口 修一</div> <div>馬越 俊幸</div> <div>渡辺 由美</div> <div>高柳 万里子</div> <div>東 篤志</div> <div>親松 尚人</div> <div>須黒 恭一</div> <div>勝又 康弘</div> <div>豊島 義明</div> <div>石内 秀美</div> </div>

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
(5) 特許 (a) 日本国 登録特許	半導体装置の製造方法	登録特許公報 3545526 2004/07	村越 篤 岩瀬 政雄 <u>稲葉 聡</u> 須黒 恭一 北浦 義昭
	半導体装置及びその製造方法	登録特許公報 3461277 2003/10	<u>稲葉 聡</u>
	半導体装置	登録特許公報 3441259 2003/08	牛久 幸広 <u>稲葉 聡</u> 高橋 稔 八木下 淳史 岡山 康則 松下 嘉明 久保田 康裕 土屋 憲彦 沼野 正訓 林 芳樹
	半導体装置の製造方法	登録特許公報 3392616 2003/03	<u>稲葉 聡</u> 新山 広美
	半導体装置	登録特許公報 3361922 2003/01	吉見 信 寺内 衛 <u>稲葉 聡</u> 執行 直之 松澤 一也 村越 篤 松下 嘉明 西山 彰 有隅 修 青木 正身 川口谷 ひとみ 尾崎 徹 浜本 毅司 石橋 裕
	埋込素子分離基板およびその製造方法	登録特許公報 3258210 2002/02	沼野 正訓 土屋 憲彦 久保田 裕康 林 芳樹 松下 嘉明 牛久 幸広

種 類 別	題名、	発表・発行掲載誌名、発表・発行年月、	連名者
(b) 米国登録特許	半導体装置及びその製造方法	登録特許公報 3146045 2001/03	八木下 淳史 <u>稲葉 聡</u> 高橋 稔 岡山 康則 <u>稲葉 聡</u> 高木 信一
	Semiconductor device and method of manufacturing the same	USP-6844247 2005/01	<u>S. Inaba</u>
	Semiconductor device and method of manufacturing the same	USP-6828203 2004/12	<u>S. Inaba</u>
	Semiconductor device and method of manufacturing the same	USP-6541357 2003/04	<u>S. Inaba</u>
	Semiconductor device having MIS field effect transistors or three-dimensional structure	USP-6525403 2003/02	<u>S. Inaba</u> K. Ohuchi
	Semiconductor device and method of manufacturing the same	USP-6448618 2002/09	<u>S. Inaba</u> T. Ozaki Y. Kohyama K. Sunouchi
	Semiconductor device and method of manufacturing the same	USP-6329258 2001/12	<u>S. Inaba</u>

種 類 別	題名、	発表・発行掲載誌名、	発表・発行年月、	連名者
	Method of fabricating semiconductor device	USP-6300197	2001/10	<u>S. Inaba</u>
	Semiconductor device and method for manufacturing the same	USP-6153476	2000/11	<u>S. Inaba</u> T. Ozaki Y. Kohyama K. Sunouchi
	Dielectrically isolated substrate and method for manufacturing the same	USP-5739575	1998/04	M. Numano N. Tsuchiya H. Kubota Y. Matsushita Y. Hayashi Y. Ushiku A. Yagishita <u>S. Inaba</u> Y. Okayama M. Takahashi
	Isolated-gate transistor having narrow bandgap-source	USP-5698869	1997/12	M. Yoshimi <u>S. Inaba</u> A. Murakoshi M. Terauchi N. Shigyo Y. Matsushita M. Aoki T. Hamamoto Y. Ishibashi T. Ozaki H. Kawaguchiya K. Matsuzawa O. Arisumi